

METHOD OF FORMING SEMICONDUCTOR FILM, METHOD OF MANUFACTURING SEMICONDUCTOR DEVICE AND ELECTRO-OPTICAL DEVICE, AND APPARATUS USED FOR EXECUTING THE METHODS, AND THE SEMICONDUCTOR DEVICE AND ELECTRON-OPTICAL DEVICE

Publication number: JP2002252174

Publication date: 2002-09-06

Inventor: YAMANAKA HIDEO

Applicant: SONY CORP

Classification:

- international: G02F1/1368; H01J9/02; H01J29/04; H01J29/96; H01J31/12; H01L21/20; H01L21/26; H01L21/336; H01L29/786; H01L31/04; G02F1/13; H01J9/02; H01J29/00; H01J29/04; H01J31/12; H01L21/02; H01L29/66; H01L31/04; (IPC1-7): H01L21/20; G02F1/1368; H01L21/26; H01L21/336; H01L29/786; H01L31/04

- European:

Application number: JP20010368624 20011203

Priority number(s): JP20010368624 20011203; JP20000373826 20001208

Report a data error here

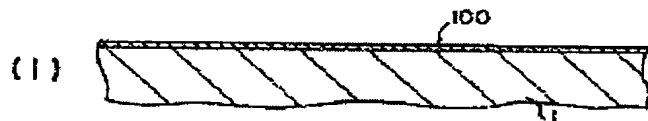
Abstract of JP2002252174

PROBLEM TO BE SOLVED: To provide a method which can form a polycrystalline or monocrystalline semiconductor thin film, such as polycrystalline silicon of high crystallization percentage and high quality, etc., easily and at low cost and with large area, and a device to put this method into practice. **SOLUTION:** A formation method for a polycrystalline (or monocrystalline) semiconductor thin film or a manufacturing method for a semiconductor device, and a device to put it into practice, includes a step where a polycrystalline (or monocrystalline) semiconductor film 7 is obtained, by accelerating the crystallization of a low-class crystalline semiconductor film 7A by the heating or cooling in fusion or half fusion, or non-fusion state by applying flash lamp annealing to this low-class crystalline semiconductor film 7A after forming the low-class semiconductor film 7A on a substrate 1, when forming the polycrystalline (or monocrystal) semiconductor film 7, such as a polycrystalline silicon film of high crystallization percentage and large grain diameter, etc., on the substrate 1 or when manufacturing the semiconductor device, having a polycrystalline (or monocrystal) semiconductor film 7 on the substrate 1.

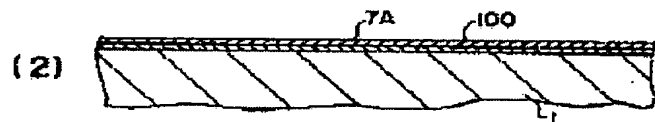
第1の実施の形態

<MOSTFTの製造プロセスフロー>

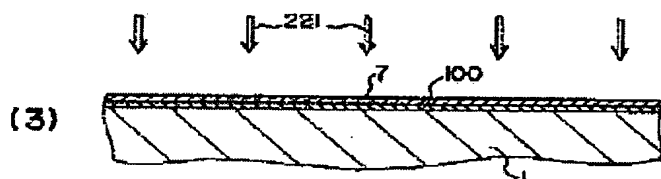
下地保護膜形成



低結晶性シリコン薄膜形成と保護膜及び反射低減用の酸化シリコン膜形成(図示せず:以下、同様)



フラッシュランプアニールによる大粒径多結晶性シリコン薄膜形成



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号
特開2002-252174
(P2002-252174A)

(43) 公開日 平成14年9月6日(2002.9.6)

(51) Int.Cl. ⁷	識別記号	F I	テラート*(参考)
H 0 1 L 21/20		H 0 1 L 21/20	2 H 0 9 2
G 0 2 F 1/1368		G 0 2 F 1/1368	5 F 0 5 1
H 0 1 L 21/26		H 0 1 L 29/78	6 2 7 G 5 F 0 5 2
21/336			6 1 8 B 5 F 1 1 0
29/786		21/26	J
審査請求 未請求 請求項の数101 O L (全 75 頁) 最終頁に続く			

(21) 出願番号 特願2001-368624(P2001-368624)
(22) 出願日 平成13年12月3日(2001.12.3)
(31) 優先権主張番号 特願2000-373826(P2000-373826)
(32) 優先日 平成12年12月8日(2000.12.8)
(33) 優先権主張国 日本(J P)

(71) 出願人 000002185
ソニー株式会社
東京都品川区北品川6丁目7番35号
(72) 発明者 山中 英雄
東京都品川区北品川6丁目7番35号 ソニー株式会社内
(74) 代理人 100076059
弁理士 逢坂 宏

最終頁に続く

(54) 【発明の名称】 半導体薄膜の形成方法、半導体装置及び電気光学装置の製造方法、これらの方法の実施に使用する装置、並びに半導体装置及び電気光学装置

(57) 【要約】

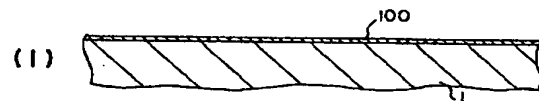
【課題】 高結晶化率で高品質の多結晶シリコン等の多結晶性又は単結晶性半導体薄膜を容易かつ低コストに、しかも大面積に形成可能な方法と、この方法を実施する装置を提供すること。

【解決手段】 基体1上に高結晶化率、大粒径の多結晶性シリコン膜等の多結晶(又は単結晶)性半導体薄膜7を形成するに際し、或いは基体1上に多結晶(又は単結晶)性半導体薄膜7を有する半導体装置を製造するに際し、基体1上に低級結晶性半導体薄膜7Aを形成した後、この低級結晶性半導体薄膜7Aにフラッシュランプアニールを施して、熔融又は半熔融又は非熔融状態の加熱と冷却により低級結晶性半導体薄膜7Aの結晶化を促進して多結晶(又は単結晶)性半導体薄膜7を得る、多結晶(又は単結晶)性半導体薄膜の形成方法、又は半導体装置の製造方法、及びこれらを実施するための装置。

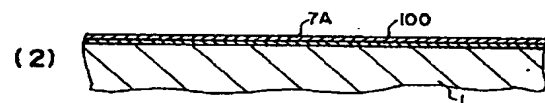
第1の実施の形態

〈MOSTFETの製造プロセスフロー〉

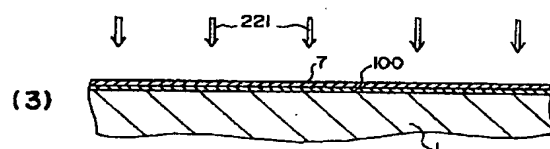
下地保護膜形成



低級結晶性シリコン薄膜形成と保護膜反射低減用の酸化シリコン膜形成(図示せず:以下、同様)



フラッシュランプアニールによる大粒径多結晶性シリコン薄膜形成



【特許請求の範囲】

【請求項 1】 基体上に多結晶性又は単結晶性半導体薄膜を形成するに際し、

前記基体上に低級結晶性半導体薄膜を形成する第 1 工程と、

前記低級結晶性半導体薄膜にフラッシュランプアニールを施して、熔融又は半熔融又は非熔融状態の加熱と冷却により前記低級結晶性半導体薄膜の結晶化を促進する第 2 工程とを有する、半導体薄膜の形成方法。

【請求項 2】 基体上に多結晶性又は単結晶性半導体薄膜を有する半導体装置を製造するに際し、

前記基体上に低級結晶性半導体薄膜を形成する第 1 工程と、

前記低級結晶性半導体薄膜にフラッシュランプアニールを施して、熔融又は半熔融又は非熔融状態の加熱と冷却により前記低級結晶性半導体薄膜の結晶化を促進する第 2 工程とを有する、半導体装置の製造方法。

【請求項 3】 前記第 1 工程と前記第 2 工程とを繰り返す、請求項 1 又は 2 に記載した方法。

【請求項 4】 前記低級結晶性半導体薄膜に錫等の IV 族元素の少なくとも 1 種を適量含有させ、この状態で前記第 2 工程を行う、請求項 1 又は 2 に記載した方法。

【請求項 5】 前記フラッシュランプアニールによって前記低級結晶性半導体薄膜を大粒径の多結晶性半導体薄膜又は単結晶性半導体薄膜に変化させる、請求項 1 又は 2 に記載した方法。

【請求項 6】 前記基体において所定の素子形成予定領域に所定形状及び寸法の段差付き凹部を形成し、この凹部を含む前記基体上に、錫等の IV 族元素の少なくとも 1 種を含有するか或いは含有しない前記低級結晶性半導体薄膜を形成した後、前記フラッシュランプアニールによって前記段差の底辺角部をシードにグラフォエピタキシャル成長させて前記低級結晶性半導体薄膜を単結晶性半導体薄膜に改質させる、請求項 1 又は 2 に記載した方法。

【請求項 7】 前記基体において所定の素子形成予定領域に単結晶半導体と格子整合の良い結晶性サファイア等の物質層を形成し、この物質層上に、錫等の IV 族元素の少なくとも 1 種を含有するか或いは含有しない前記低級結晶性半導体薄膜を形成した後、前記フラッシュランプアニールによって前記物質層をシードにヘテロエピタキシャル成長させて前記低級結晶性半導体薄膜を単結晶性半導体薄膜に改質させる、請求項 1 又は 2 に記載した方法。

【請求項 8】 前記第 1 工程と前記第 2 工程とを少なくともこれら両工程の一体化装置によって連続的に若しくは順次行う、請求項 1 又は 2 に記載した方法。

【請求項 9】 前記フラッシュランプアニールを再び行う前に、前記多結晶性半導体薄膜又は単結晶性半導体薄膜に対し水素又は水素含有ガスのプラズマ放電又は触媒

反応で生成した水素系活性種等を作用させて、前記多結晶性半導体薄膜又は単結晶性半導体薄膜の表面クリーニング及び／又は酸化被膜の除去を行い、しかる後に前記低級結晶性半導体薄膜の形成後に前記フラッシュランプアニールを行う、請求項 3 に記載した方法。

【請求項 10】 前記フラッシュランプアニールを減圧水素中又は減圧水素含有ガス中又は真空中で行う、請求項 1 又は 2 に記載した方法。

【請求項 11】 前記フラッシュランプアニール時に前記基体をその至点以下の温度に加熱する、請求項 1 又は 2 に記載した方法。

【請求項 12】 大面積を一括して少なくとも 1 回フラッシュ照射する一括フラッシュ照射、同一領域をフラッシュ照射しながら少なくとも 1 回走査するスキニング照射、又はフラッシュ照射光に対して前記基体を相対的にステップ送り及び／又はリピート送りしながら少なくとも 1 回フラッシュ照射するステップ及び／又はリピート照射によって、前記フラッシュランプアニールを行う、請求項 1 又は 2 に記載した方法。

【請求項 13】 前記フラッシュランプアニールに、キセノンランプ、キセノン－水銀ランプ、キセノン－クリプトンランプ、クリプトンランプ、クリプトン－水銀ランプ、キセノン－クリプトン－水銀ランプ、メタルハライドランプ等の繰り返し発光に耐え得るランプを使用する、請求項 1 又は 2 に記載した方法。

【請求項 14】 前記フラッシュランプアニールに使用するランプからの照射光を少なくとも紫外線波長領域の波長に制御し、かつ必要に応じて熱線吸収フィルタ又は熱線反射フィルタ又は熱線吸収と熱線反射を組み合わせたフィルタなどの熱線低減フィルタ又は熱線遮断フィルタを通す、請求項 1 又は 2 に記載した方法。

【請求項 15】 前記フラッシュランプアニール時にフラッシュランプに流す放電電流のピーク値及び時間幅（パルス幅）、並びにランプ発光の繰り返し速度及び頻度を適宜調整できるようにしたフラッシュ式放電機構と紫外線光源ランプとを含む発光装置を用いる、請求項 1 又は 2 に記載した方法。

【請求項 16】 前記フラッシュランプアニールに使用するフラッシュランプ光源装置が下記（1）～（4）の少なくとも 1 項に記載の構成を有している、請求項 1 又は 2 に記載した方法。

（1）ランプを容したアース電位の筐体内に反射部材が設けられ、必要あれば前記反射部材の表面に微細な凹凸が形成されていること。

（2）ランプ及び反射部材が光遮断性の筐体内に收容され、必要あれば熱線低減又は熱線遮断性の透明部材を通してフラッシュ照射光が導かれること。

（3）ランプ、反射部材が筐体内に收容され、反射集光されたフラッシュ照射光及び前方へのフラッシュ照射光が集光レンズ又は光整形器を通して導かれること。

(4) 反射部材及び筐体は、循環冷媒で冷却されること。

【請求項 17】 前記ランプを平行平板型発光管として形成し、この発光管内に一对又は複数対の対向電極を配置し、かつ前記対向電極間において前記発光管の外壁にトリガー電極薄膜パターン又はトリガー電極組立体を前記対向電極の少なくとも一对の数だけ設ける、請求項 1 又は 2 に記載した方法。

【請求項 18】 直管型発光管内に複数対の対向電極を配置し、これらの対向電極間において前記発光管の外壁にトリガー電極薄膜パターン又はトリガー電極組立体を設ける、請求項 1 又は 2 に記載した方法。

【請求項 19】 前記フラッシュランプアニールに使用するランプを複数個使用し、これらのランプを平面的に並置すると共に、複数個を互いに直列接続してそれぞれの電源に接続するか、各ランプ毎に電源を設けるか、或いは全ランプを直列接続して共通の電源に接続し、複数のランプを同期してトリガーして同時に発光させる、請求項 1 又は 2 に記載した方法。

【請求項 20】 フラッシュランプを真空容器内に収容し、反射部材を振動吸収材を介して前記真空容器に取り付ける、請求項 1 又は 2 に記載した方法。

【請求項 21】 前記低級結晶性半導体薄膜上に保護用絶縁膜を形成し、この状態で空気中又は大気圧窒素中で前記フラッシュランプアニールを行う、請求項 1 又は 2 に記載した方法。

【請求項 22】 前記基体上に形成された前記低級結晶性半導体薄膜に対し、又は保護用絶縁膜を被覆して、前記低級結晶性半導体薄膜のフラッシュ照射で前記フラッシュランプアニールを行うに際し、その上面から又は下面から又は上面と下面から同時に前記フラッシュ照射（但し、上面以外の場合は、基体は透明（400nm以下の波長の光も透過すること。））を行う、請求項 1 又は 2 に記載した方法。

【請求項 23】 前記低級結晶性半導体薄膜、又は前記保護用絶縁膜を被覆した前記低級結晶性半導体薄膜はアイランド化されたものである、請求項 22 に記載した方法。

【請求項 24】 大気圧窒素中又は空気中で前記フラッシュ照射を行う、請求項 22 に記載した方法。

【請求項 25】 減圧水素ガス中又は減圧水素含有ガス中又は真空中で前記フラッシュ照射を行う、請求項 22 に記載した方法。

【請求項 26】 磁場及び／又は電場の作用下で前記フラッシュランプアニールを行う、請求項 1 又は 2 に記載した方法。

【請求項 27】 前記低級結晶性半導体薄膜がアモルファスシリコン膜、微結晶シリコン含有アモルファスシリコン膜、微結晶シリコン（アモルファスシリコン含有微結晶シリコン）膜、アモルファスシリコン及び微結晶シ

リコン含有多結晶シリコン膜、アモルファスゲルマニウム膜、微結晶ゲルマニウム含有アモルファスゲルマニウム膜、微結晶ゲルマニウム（アモルファスゲルマニウム含有微結晶ゲルマニウム）膜、アモルファスゲルマニウム及び微結晶ゲルマニウム含有多結晶ゲルマニウム膜、 $\text{Si}_x\text{Ge}_{1-x}$ （ $0 < x < 1$ ）で示されるアモルファスシリコンゲルマニウム膜、アモルファスカーボン膜、微結晶カーボン含有アモルファスカーボン膜、微結晶カーボン（アモルファスカーボン含有微結晶カーボン）膜、アモルファスカーボン及び微結晶カーボン含有多結晶カーボン膜、 $\text{Si}_x\text{C}_{1-x}$ （ $0 < x < 1$ ）で示されるアモルファスシリコンカーボン膜、又は $\text{Ga}_x\text{As}_{1-x}$ （ $0 < x < 1$ ）で示されるアモルファスガリウムヒ素膜等からなる、請求項 1 又は 2 に記載した方法。

【請求項 28】 前記多結晶性又は単結晶性半導体薄膜によって、薄膜絶縁ゲート型電界効果トランジスタのチャンネル、ソース及びドレイン領域、又はダイオード、配線、抵抗、容量又は電子放出体等を形成する、請求項 1 又は 2 に記載した方法。

【請求項 29】 前記チャンネル、ソース及びドレイン領域、ダイオード、抵抗、容量、配線、電子放出体等の形成のために前記低級結晶性半導体薄膜をパターンニング（アイランド化）した後に、前記フラッシュランプアニールを行う、請求項 28 に記載した方法。

【請求項 30】 シリコン半導体装置、シリコン半導体集積回路装置、シリコンゲルマニウム半導体装置、シリコンゲルマニウム半導体集積回路装置、III-V 及び II-VI 族化合物半導体装置、III-V 及び II-VI 族化合物半導体集積回路装置、炭化ケイ素半導体装置、炭化ケイ素半導体集積回路装置、多結晶性又は単結晶性ダイヤモンド半導体装置、多結晶性又は単結晶性ダイヤモンド半導体集積回路装置、液晶表示装置、有機又は無機エレクトロルミネセンス（EL）表示装置、フィールドエミッションディスプレイ（FED）装置、発光ポリマー表示装置、発光ダイオード表示装置、CCD エリア／リニアセンサ装置、CMOS センサ装置、太陽電池装置用等の薄膜を製造する、請求項 1 又は 2 に記載した方法。

【請求項 31】 内部回路及び周辺回路を有する半導体装置、電気光学表示装置、固体撮像装置等の製造に際し、これらの回路の少なくとも一方を構成する薄膜絶縁ゲート型電界効果トランジスタのチャンネル、ソース及びドレイン領域を前記多結晶性又は単結晶性半導体薄膜によって形成する、請求項 30 に記載した方法。

【請求項 32】 各色用の有機又は無機エレクトロルミネセンス層の下層にそれぞれ、前記薄膜絶縁ゲート型電界効果トランジスタのドレイン又はソースと接続された陰極又は陽極を有する、請求項 31 に記載した方法。

【請求項 33】 前記薄膜絶縁ゲート型電界効果トランジスタ及びダイオードを含む能動素子上も前記陰極が覆い、或いは前記各色用の有機又は無機エレクトロルミネ

センス層の各層上及び各層間の全面に前記陰極又は陽極が被着されている装置を製造する、請求項 32 に記載した方法。

【請求項 34】 前記各色用の前記有機又は無機エレクトロミネセンス層間にブラックマスク層を形成する、請求項 32 に記載した方法。

【請求項 35】 フィールドエミッションディスプレイ装置のエミッタを、前記多結晶性又は単結晶性半導体薄膜を介して前記薄膜絶縁ゲート型電界効果トランジスタのドレインに接続すると共に前記多結晶性又は単結晶性半導体薄膜上に成長された n 型多結晶性半導体膜又は多結晶性ダイヤモンド膜、又は窒素含有又は非含有の炭素薄膜、又は窒素含有又は非含有の炭素薄膜表面に形成した多数の微細突起構造（例えばカーボンナノチューブ）などによって形成する、請求項 31 に記載した方法。

【請求項 36】 前記薄膜絶縁ゲート型電界効果トランジスタ及びダイオードを含む能動素子上に絶縁膜を介してアース電位の金属遮蔽膜を形成する、請求項 35 に記載した方法。

【請求項 37】 前記金属遮蔽膜を前記フィールドエミッションディスプレイ装置のゲート引き出し電極と同一材料で同一工程により形成する、請求項 36 に記載した方法。

【請求項 38】 基体上に多結晶性又は単結晶性半導体薄膜を形成するための装置であって、前記基体上に低級結晶性半導体薄膜を形成するための第 1 手段と、前記低級結晶性半導体薄膜にフラッシュランプアニールを施して、熔融又は半熔融又は非熔融状態の加熱と冷却により前記低級結晶性半導体薄膜の結晶化を促進するための第 2 手段とを有する、半導体薄膜の形成装置。

【請求項 39】 基体上に多結晶性又は単結晶性半導体薄膜を有する半導体装置を製造するための装置であって、前記基体上に低級結晶性半導体薄膜を形成するための第 1 手段と、前記低級結晶性半導体薄膜にフラッシュランプアニールを施して、熔融又は半熔融又は非熔融状態の加熱と冷却により前記低級結晶性半導体薄膜の結晶化を促進するための第 2 手段とを有する、半導体装置の製造装置。

【請求項 40】 前記第 1 手段と前記第 2 手段とが繰り返し使用される、請求項 38 又は 39 に記載した装置。

【請求項 41】 前記低級結晶性半導体薄膜に錫等の IV 族元素の少なくとも 1 種を適量含有させるための手段を有する、請求項 38 又は 39 に記載した装置。

【請求項 42】 前記第 1 手段と前記第 2 手段とが少なくともこれら両手段の一体化装置に組み込まれ、連続的に若しくは順次使用される、請求項 38 又は 39 に記載した装置。

【請求項 43】 前記フラッシュランプアニールを再び

行う前に、前記多結晶性半導体薄膜又は単結晶性半導体薄膜に対し水素又は水素含有ガスのプラズマ放電又は触媒反応で生成した水素系活性種等を作用させて、前記多結晶性半導体薄膜又は単結晶性半導体薄膜の表面クリーニング及び／又は酸化被膜の除去を行う手段を有する、請求項 40 に記載した装置。

【請求項 44】 前記フラッシュランプアニールが減圧水素中又は減圧水素含有ガス中又は真空中で行われる、請求項 38 又は 39 に記載した方法。

【請求項 45】 前記フラッシュランプアニール時に前記基体とその至点以下の温度に加熱される、請求項 38 又は 39 に記載した装置。

【請求項 46】 大面積を一括して少なくとも 1 回フラッシュ照射する一括フラッシュ照射、同一領域をフラッシュ照射しながら少なくとも 1 回走査するスキャニング照射、又はフラッシュ照射光に対して前記基体を相対的にステップ送り及び／又はリピート送りしながら少なくとも 1 回フラッシュ照射するステップ及び／又はリピート照射によって、前記フラッシュランプアニールが行われる、請求項 38 又は 39 に記載した装置。

【請求項 47】 前記フラッシュランプアニールに、キセノンランプ、キセノン水銀ランプ、キセノンクリプトンランプ、クリプトンランプ、クリプトン水銀ランプ、キセノンクリプトン水銀ランプ、メタルハライドランプ等の繰り返し発光に耐え得るランプが使用される、請求項 38 又は 39 に記載した装置。

【請求項 48】 前記フラッシュランプアニールに使用するランプからの照射光が少なくとも紫外線波長領域の波長に制御され、かつ必要に応じて熱線吸収フィルタ、熱線反射フィルタ又は熱線吸収と熱線反射を組み合わせたフィルタなどの熱線低減フィルタ又は熱線遮断フィルタに通される、請求項 38 又は 39 に記載した装置。

【請求項 49】 前記フラッシュランプアニール時にフラッシュランプに流す放電電流のピーク値及び時間幅（パルス幅）、並びにランプ発光の繰り返し速度及び頻度を適宜調整できるようにしたフラッシュ式放電機構と紫外線光源ランプとを含む発光装置が用いられる、請求項 38 又は 39 に記載した装置。

【請求項 50】 前記フラッシュランプアニールに使用するフラッシュランプ光源装置が下記（1）～（4）の少なくとも 1 項に記載の構成を有している、請求項 38 又は 39 に記載した装置。

（1）ランプを容したアース電位の筐体内に反射部材が設けられ、必要あれば前記反射部材の表面に微細な凹凸が形成されていること。

（2）ランプ及び反射部材が光遮断性の筐体内に收容され、必要あれば熱線低減又は熱線遮断性の透明部材を通してフラッシュ照射光が導かれること。

（3）ランプ、反射部材が筐体内に收容され、反射集光されたフラッシュ照射光及び前方へのフラッシュ照射光

が集光レンズ又は光整形器を通して導かれること。

(4) 反射部材及び筐体は、循環冷媒で冷却されること。

【請求項 5 1】 前記ランプが平行平板型発光管として形成され、この発光管内に一对又は複数対の対向電極が配置され、かつ前記対向電極間において前記発光管の外壁にトリガー電極薄膜パターン又はトリガー電極組立体が前記対向電極の少なくとも一对の数だけ設けられる、請求項 3 8 又は 3 9 に記載した装置。

【請求項 5 2】 直管型発光管内に複数対の対向電極が配置され、これらの対向電極間において前記発光管の外壁にトリガー電極薄膜パターン又はトリガー電極組立体が設けられる、請求項 3 8 又は 3 9 に記載した装置。

【請求項 5 3】 前記フラッシュランプアニールに使用するランプが複数個使用され、これらのランプが平面的に並置されると共に、複数個が互いに直列接続してそれぞれの電源に接続されるか、各ランプ毎に電源が設けられるか、或いは全ランプが直列接続されて共通の電源に接続され、複数のランプが同期してトリガーされて同時に発光される、請求項 3 8 又は 3 9 に記載した装置。

【請求項 5 4】 フラッシュランプが真空容器内に収容され、反射部材を振動吸収材を介して前記真空容器に取り付けられる、請求項 3 8 又は 3 9 に記載した装置。

【請求項 5 5】 前記低級結晶性半導体薄膜上に保護用絶縁膜が形成され、この状態で空气中又は大気圧窒素中で前記フラッシュランプアニールが行われる、請求項 3 8 又は 3 9 に記載した装置。

【請求項 5 6】 前記基体上に形成された前記低級結晶性半導体薄膜に対し、又は保護用絶縁膜を被覆して、前記低級結晶性半導体薄膜のフラッシュ照射で前記フラッシュランプアニールを行うに際し、その上面から又は下面から又は上面と下面から同時に前記フラッシュ照射（但し、上面以外の場合は、基体は透明（400nm 以下の波長の光も透過すること。））が行われる、請求項 3 8 又は 3 9 に記載した装置。

【請求項 5 7】 前記低級結晶性半導体薄膜、又は前記保護用絶縁膜を被覆した前記低級結晶性半導体薄膜はアイランド化されたものである、請求項 5 6 に記載した装置。

【請求項 5 8】 大気圧窒素中又は空气中で前記フラッシュ照射が行われる、請求項 5 6 に記載した装置。

【請求項 5 9】 減圧水素ガス中又は減圧水素含有ガス中又は真空中で前記フラッシュ照射が行われる、請求項 5 6 に記載した装置。

【請求項 6 0】 磁場及び／又は電場の作用下で前記フラッシュランプアニールが行われる、請求項 3 8 又は 3 9 に記載した装置。

【請求項 6 1】 前記低級結晶性半導体薄膜がアモルファスシリコン膜、微結晶シリコン含有アモルファスシリコン膜、微結晶シリコン（アモルファスシリコン含有微

結晶シリコン）膜、アモルファスシリコン及び微結晶シリコン含有多結晶シリコン膜、アモルファスゲルマニウム膜、微結晶ゲルマニウム含有アモルファスゲルマニウム膜、微結晶ゲルマニウム（アモルファスゲルマニウム含有微結晶ゲルマニウム）膜、アモルファスゲルマニウム及び微結晶ゲルマニウム含有多結晶ゲルマニウム膜、 $\text{Si}_x\text{Ge}_{1-x}$ （ $0 < x < 1$ ）で示されるアモルファスシリコンゲルマニウム膜、アモルファスカーボン膜、微結晶カーボン含有アモルファスカーボン膜、微結晶カーボン（アモルファスカーボン含有微結晶カーボン）膜、アモルファスカーボン及び微結晶カーボン含有多結晶カーボン膜、 $\text{Si}_x\text{C}_{1-x}$ （ $0 < x < 1$ ）で示されるアモルファスシリコンカーボン膜、又は $\text{Ga}_x\text{As}_{1-x}$ （ $0 < x < 1$ ）で示されるアモルファスガリウムヒ素膜等からなる、請求項 3 8 又は 3 9 に記載した装置。

【請求項 6 2】 前記多結晶性又は単結晶性半導体薄膜によって、薄膜絶縁ゲート型電界効果トランジスタのチャンネル、ソース及びドレイン領域、又はダイオード、配線、抵抗、容量又は電子放出体等が形成される、請求項 3 8 又は 3 9 に記載した装置。

【請求項 6 3】 前記チャンネル、ソース及びドレイン領域、ダイオード、抵抗、容量、配線、電子放出体等の形成のために前記低級結晶性半導体薄膜がパターンニング（アイランド化）された後に、前記フラッシュランプアニールが行われる、請求項 6 2 に記載した装置。

【請求項 6 4】 シリコン半導体装置、シリコン半導体集積回路装置、シリコンゲルマニウム半導体装置、シリコンゲルマニウム半導体集積回路装置、III-V 及び II-VI 族化合物半導体装置、III-V 及び II-VI 族化合物半導体集積回路装置、炭化ケイ素半導体装置、炭化ケイ素半導体集積回路装置、多結晶性又は単結晶性ダイヤモンド半導体装置、多結晶性又は単結晶性ダイヤモンド半導体集積回路装置、液晶表示装置、有機又は無機エレクトロルミネセンス（EL）表示装置、フィールドエミッションディスプレイ（FED）装置、発光ポリマー表示装置、発光ダイオード表示装置、CCD エリア／リニアセンサ装置、CMOS センサ装置、太陽電池装置用等の薄膜を製造する、請求項 3 8 又は 3 9 に記載した装置。

【請求項 6 5】 内部回路及び周辺回路を有する半導体装置、電気光学表示装置、固体撮像装置等の製造に際し、これらの回路の少なくとも一方を構成する薄膜絶縁ゲート型電界効果トランジスタのチャンネル、ソース及びドレイン領域を前記多結晶性又は単結晶性半導体薄膜によって形成する、請求項 6 4 に記載した装置。

【請求項 6 6】 各色用の有機又は無機エレクトロルミネセンス層の下層にそれぞれ、前記薄膜絶縁ゲート型電界効果トランジスタのドレイン又はソースと接続された陰極又は陽極を有する装置を製造する、請求項 6 5 に記載した装置。

【請求項 67】 前記薄膜絶縁ゲート型電界効果トランジスタ及びダイオードを含む能動素子上も前記陰極が覆い、或いは前記各色用の有機又は無機エレクトロルミネセンス層の各層上及び各層間の全面に前記陰極又は陽極が被着されている装置を製造する、請求項 66 に記載した装置。

【請求項 68】 前記各色用の前記有機又は無機エレクトロルミネセンス層間にブラックマスク層を形成する、請求項 66 に記載した装置。

【請求項 69】 フィールドエミッションディスプレイ装置のエミッタを、前記多結晶性又は単結晶性半導体薄膜を介して前記薄膜絶縁ゲート型電界効果トランジスタのドレインに接続すると共に前記多結晶性又は単結晶性半導体薄膜上に成長された n 型多結晶性半導体膜又は多結晶性ダイヤモンド膜、又は窒素含有又は非含有の炭素薄膜、又は窒素含有又は非含有の炭素薄膜表面に形成した多数の微細突起構造（例えばカーボンナノチューブ）などによって形成する、請求項 65 に記載した装置。

【請求項 70】 前記薄膜絶縁ゲート型電界効果トランジスタ及びダイオードを含む能動素子上にアース電位の金属遮蔽膜を形成する、請求項 69 に記載した装置。

【請求項 71】 前記金属遮蔽膜を前記フィールドエミッションディスプレイ装置のゲート引き出し電極と同一材料で同一工程により形成する、請求項 70 に記載した装置。

【請求項 72】 各色用の有機又は無機エレクトロルミネセンス層の下層にそれぞれ、請求項 1 又は 2 に記載した多結晶性又は単結晶性半導体薄膜からなる薄膜絶縁ゲート型電界効果トランジスタのドレイン又はソースと接続された陰極又は陽極を有し、前記薄膜絶縁ゲート型電界効果トランジスタ及びダイオードを含む能動素子上も前記陰極が覆い、或いは前記各色用の有機又は無機エレクトロルミネセンス層の各層上及び各層間の全面に前記陰極又は陽極が被着されている電気光学装置。

【請求項 73】 前記各色用の前記有機又は無機エレクトロルミネセンス層間にブラックマスク層が形成されている、請求項 72 に記載した電気光学装置。

【請求項 74】 フィールドエミッションディスプレイ (FED) 装置のエミッタが、請求項 1 又は 2 に記載した多結晶性又は単結晶性半導体薄膜からなる薄膜絶縁ゲート型電界効果トランジスタのドレインに前記多結晶性又は単結晶性半導体薄膜を介して接続されると共に前記多結晶性又は単結晶性半導体薄膜上に成長された n 型多結晶性半導体膜又は多結晶性ダイヤモンド膜、又は窒素含有又は非含有の炭素薄膜、又は窒素含有又は非含有の炭素薄膜表面に形成した多数の微細突起構造（例えばカーボンナノチューブ）などによって形成されている電気光学装置。

【請求項 75】 前記薄膜絶縁ゲート型電界効果トランジスタ及びダイオードを含む能動素子上に絶縁膜を介し

てアース電位の金属遮蔽膜が形成されている、請求項 74 に記載した電気光学装置。

【請求項 76】 前記遮蔽膜が前記フィールドエミッションディスプレイ装置のゲート引き出し電極と同一材料で同一工程により形成される、請求項 75 に記載した電気光学装置。

【請求項 77】 基体上に、錫等の IV 族元素の少なくとも 1 種を含有するか或いは含有しない低級結晶性半導体薄膜を形成する第 1 工程と、

前記基体をその歪点以下の温度に加熱する予備加熱処理 (Pre-baking) を行う第 2 工程と、

前記基体をその歪点以下の温度に加熱する補助加熱状態 (Asist-baking) でのフラッシュランプアニールにより、熔融又は半熔融又は非熔融状態の加熱と冷却で前記低級結晶性半導体薄膜の結晶化を促進する第 3 工程と、前記結晶化した半導体薄膜を少なくとも前記基体の歪点以下の温度に冷却するまで後加熱保持 (Post-baking) する第 4 工程とを有する、半導体薄膜の形成方法。

【請求項 78】 基体上に、錫等の IV 族元素の少なくとも 1 種を含有するか或いは含有しない低級結晶性半導体薄膜を形成する第 1 工程と、

前記基体をその歪点以下の温度に加熱する予備加熱処理 (Pre-baking) を行う第 2 工程と、

前記基体をその歪点以下の温度に加熱する補助加熱状態 (Asist-baking) でのフラッシュランプアニールにより、熔融又は半熔融又は非熔融状態の加熱と冷却で前記低級結晶性半導体薄膜の結晶化を促進する第 3 工程と、前記結晶化した半導体薄膜を少なくとも前記基体の歪点以下の温度に冷却するまで後加熱保持 (Post-baking) する第 4 工程とを有する、半導体装置の製造方法。

【請求項 79】 前記第 1 工程と前記第 2 工程と前記第 3 工程と前記第 4 工程とを繰り返す、請求項 77 又は 78 に記載した方法。

【請求項 80】 前記基体の適当な前記予備加熱処理 (Pre-baking)、前記補助加熱状態 (Asist-baking) 及び前記後加熱保持 (Post-baking) でのフラッシュランプアニールの照射時間 (1/3 パルス幅) は、0.1 μ sec 以上、好ましくは 0.5 ~ 3 msec である、請求項 77 又は 78 に記載した方法。

【請求項 81】 画素表示部の能動素子及び受動素子領域と、周辺回路部の能動素子及び受動素子領域のそれぞれにおいて、錫等の IV 族元素の少なくとも 1 種を含有するか或いは含有しない低級結晶性半導体薄膜の被照射面積及び形状を同等化するパターニングを行った後に、前記基体の適当な予備加熱処理 (Pre-baking)、補助加熱状態 (Asist-baking) 及び後加熱保持 (Post-baking) でのフラッシュランプアニールを行ない、必要に応じて更にそれぞれの結晶化領域を所定の面積及び寸法にパターニングする、電気光学装置の製造方法。

【請求項 82】 画素表示部の能動素子及び受動素子領

域よりも、周辺回路部のそれぞれの能動素子及び受動素子領域において錫等のIV族元素の少なくとも1種を含有するか或いは含有しない低級結晶性半導体薄膜の被照射面積及び形状を大きくパターンニングした後に、前記基体の適当な予備加熱処理（Pre-baking）、補助加熱状態（Asist-baking）及び後加熱保持（Post-baking）でのフラッシュランプアニールを行ない、必要に応じて更にそれぞれの結晶化領域を所定の面積及び寸法にパターンニングする、電気光学装置の製造方法。

【請求項83】 基体の所定の素子形成予定領域に所定形状及び寸法の段差付き凹部を形成し、或いは基体上に酸化性絶縁膜-1と窒化性絶縁膜-1と酸化性絶縁膜-2との積層膜又は酸化性絶縁膜-1と窒化性絶縁膜-1と酸化性絶縁膜-2と窒化性絶縁膜-2との積層膜を形成して前者の酸化性絶縁膜-2又は後者の窒化性絶縁膜-2の所定の素子形成予定領域に所定形状及び寸法の段差付き凹部を形成し、この凹部を含む前記基体上に錫等のIV族元素の少なくとも1種を含有するか或いは含有しない低級結晶性半導体薄膜、及び必要に応じて光反射低減及び保護用絶縁膜を積層し、前記基体の適当な予備加熱処理（Pre-baking）、補助加熱状態（Asist-baking）及び後加熱保持（Post-baking）でのフラッシュランプアニールにより、前記段差の底辺角部をシードにグラフォエピタキシャル成長で少なくとも凹部内に単結晶性半導体薄膜を形成し、この単結晶性半導体薄膜表面をCMP（Chemical Mechanical Polishing：以下、同様）又は選択的エッチングして、アイランド化した所定の膜厚及び面積の単結晶性半導体薄膜を形成し、必要に応じて高温熱酸化、低温高圧アニール、CVD（Chemical Vapor Deposition：以下、同様）等によりゲート絶縁膜又は絶縁保護膜を形成したSCSOS（Single Crystal Semiconductor（Silicon）On Substrate：以下、同様）基板を作製する、半導体基板又は半導体装置の製造方法。

【請求項84】 基体上に必要に応じて酸化性絶縁膜-1と窒化性絶縁膜-1と酸化性絶縁膜-2との積層膜を形成し、その上に単結晶半導体と格子整合の良い物質層を形成し、この物質層上に、錫等のIV族元素の少なくとも1種を含有するか或いは含有しない低級結晶性半導体薄膜、及び必要に応じて光反射低減及び保護用絶縁膜を積層し、前記基体の適当な予備加熱処理（Pre-baking）、補助加熱状態（Asist-baking）及び後加熱保持（Post-baking）でのフラッシュランプアニールにより、前記物質層をシードにヘテロエピタキシャル成長で単結晶性半導体薄膜を形成し、この単結晶性半導体薄膜表面等をCMP又は選択的エッチングして所定の膜厚の単結晶性半導体薄膜を形成し、必要に応じて高温熱酸化、低温高圧アニール、CVD等によりゲート絶縁膜又は絶縁保護膜を形成したSCSOS基板を作製する、半導体基板又は半導体装置の製造方法。

【請求項85】 請求項83又は84に記載した前記SCSOS基板の前記単結晶性半導体薄膜内にイオン注入又はイオンドーピングしてn型又は／及びp型不純物領域を形成し、少なくとも赤外線低減又は赤外線遮断フィルタを使用し、前記基板の適当な予備加熱処理（Pre-baking）、補助加熱状態（Asist-baking）及び後加熱保持（Post-baking）でのフラッシュランプアニールにより、不純物イオンを活性化する、単結晶性半導体薄膜又は単結晶性半導体装置の製造方法。

10 【請求項86】 結晶半導体基板、SOI（Silicon On Insulator）基板などにおいて、単結晶半導体薄膜内にイオン注入又はイオンドーピングしてn型又は／及びp型不純物領域を形成し、少なくとも赤外線低減又は赤外線遮断フィルタを使用し、前記基板の適当な予備加熱処理（Pre-baking）、補助加熱状態（Asist-baking）及び後加熱保持（Post-baking）でのフラッシュランプアニールにより、不純物イオンを活性化する、単結晶半導体薄膜又は単結晶半導体装置の製造方法。

20 【請求項87】 基体上のレーザー（近紫外線（UV）及び／又は遠紫外線（DUV）レーザー、可視光線レーザー、近赤外線及び／又は遠赤外線レーザーなど）アニールにより結晶化された多結晶性又は単結晶性半導体薄膜に、イオン注入又はイオンドーピングしてn型又は／及びp型不純物領域を形成し、少なくとも赤外線低減又は赤外線遮断フィルタを使用し、前記基体の適当な予備加熱処理（Pre-baking）、補助加熱状態（Asist-baking）及び後加熱保持（Post-baking）でのフラッシュランプアニールにより、不純物イオンを活性化する、多結晶性又は単結晶性半導体薄膜、又は多結晶性又は単結晶性半導体装置の製造方法。

30 【請求項88】 基体上の固相成長により結晶化された多結晶性半導体薄膜に、イオン注入又はイオンドーピングしてn型又は／及びp型不純物領域を形成し、少なくとも赤外線低減又は赤外線遮断フィルタを使用し、前記基体の適当な予備加熱処理（Pre-baking）、補助加熱状態（Asist-baking）及び後加熱保持（Post-baking）でのフラッシュランプアニールにより、不純物イオンを活性化する、多結晶性半導体薄膜又は多結晶性半導体装置の製造方法。

40 【請求項89】 基体上の集光ランプアニールにより結晶化された多結晶性又は単結晶性半導体薄膜に、イオン注入又はイオンドーピングしてn型又は／及びp型不純物領域を形成し、少なくとも赤外線低減又は赤外線遮断フィルタを使用し、前記基板の適当な予備加熱処理（Pre-baking）、補助加熱状態（Asist-baking）及び後加熱保持（Post-baking）でのフラッシュランプアニールにより、不純物イオンを活性化する、多結晶性又は単結晶性半導体薄膜、又は多結晶性又は単結晶性半導体装置の製造方法。

50 【請求項90】 基体に、錫等のIV族元素の少なくとも

1種を含有するか或いは含有しない低級結晶性半導体薄膜を形成する第1工程と、

前記低級結晶性半導体薄膜にイオン注入又はイオンドーピングでn型又は／及びp型不純物領域を形成する第2工程と、

前記基体にその歪点以下の温度に加熱する予備加熱処理(Pre-baking)を行う第3工程と、

前記基体をその歪点以下の温度に加熱する補助加熱状態(Asist-baking)でのフラッシュランプアニールにより、溶解又は半溶解又は非溶解状態の加熱と冷却で前記低級結晶性半導体薄膜の結晶化及び不純物イオンの活性化を同時に行う第4工程と、

前記基体をその歪点以下の温度に冷却するまで後加熱保持(Post-baking)する第5工程とを有する、半導体薄膜又は半導体装置の製造方法。

【請求項91】 基体に、錫等のIV族元素の少なくとも1種を含有するか或いは含有しない低級結晶性半導体薄膜を形成する第1工程と、

前記基体をその歪点以下の温度に加熱する予備加熱処理(Pre-baking)を行う第2工程と、

前記基体をその歪点以下の温度に加熱する補助加熱状態(Asist-baking)でのフラッシュランプアニールにより、溶解又は半溶解又は非溶解状態の加熱と冷却により、前記低級結晶性半導体薄膜を結晶化する第3工程と、

前記基体をその歪点以下の温度に冷却するまで後加熱保持(Post-baking)する第4工程と、

形成された多結晶性又は単結晶性半導体薄膜にイオン注入又はイオンドーピングでn型又は／及びp型不純物領域を形成する第5工程と、

少なくとも赤外線低減又は赤外線遮断フィルタを使用し、前記基体の適当な予備加熱処理(Pre-baking)、補助加熱状態(Asist-baking)及び後加熱保持(Post-baking)でのフラッシュランプアニールの非溶解状態の加熱により、

不純物イオンを活性化する第6工程とを有する、半導体薄膜又は半導体装置の製造方法。

【請求項92】 基体上に、基体よりも高い熱伝導性及び電気伝導性で遮光性の光反射低減及び保護用絶縁膜と低級結晶性半導体薄膜とを透過したフラッシュ照射光に対し高吸収性又は高反射性を示す下地膜を形成し、その上に必要に応じて電気絶縁性で光透過性又は遮光性のバッファ膜を形成し、その上の少なくとも下地膜領域に、錫等のIV族元素の少なくとも1種を含有するか或いは含有しない低級結晶性半導体薄膜を形成し、更に必要に応じてその上に光反射低減及び保護用絶縁膜を形成し、前記基体の適当な予備加熱処理(Pre-baking)、補助加熱状態(Asist-baking)及び後加熱保持(Post-baking)でのフラッシュランプアニールでの溶解又は半溶解又は非溶解状態の加熱と冷却により、前記低級結晶性半導体

薄膜の結晶化を促進する、半導体薄膜又は半導体装置の製造方法。

【請求項93】 前記下地膜は、錫等のIV族元素の少なくとも1種を含有するか或いは含有しない前記低級結晶性半導体薄膜と同等以上の面積で、一部が線状に突出した形状にパターンニングし、前記フラッシュランプアニールでの溶解又は半溶解又は非溶解状態の前記低級結晶性半導体を前記下地膜の前記突出形状部から熱放散させて結晶成長核を形成し、全体を任意な結晶方位で結晶化させる、請求項92に記載した半導体薄膜又は半導体装置の製造方法。

【請求項94】 前記下地膜上の、錫等のIV族元素の少なくとも1種を含有するか或いは含有しない前記低級結晶性半導体薄膜を、前記下地膜と同等以下の面積で、前記下地膜の突出形状領域に微小突出した形状にパターンニングし、前記フラッシュランプアニールでの溶解又は半溶解又は非溶解状態の前記低級結晶性半導体薄膜を前記下地膜の前記微小突出形状部から熱放散させて結晶成長核を形成し、全体を任意な結晶方位で結晶化させる、請求項92に記載した半導体薄膜又は半導体装置の製造方法。

【請求項95】 前記下地膜は、線状に突出した部分を介して任意の電位で使用される、請求項92～94のいずれか1項に記載した半導体薄膜又は半導体装置の製造方法。

【請求項96】 前記フラッシュランプアニール時の光反射低減及び保護用膜は、少なくとも紫外線を透過する電気絶縁性膜であり、或いはゲート絶縁膜に用いられる、請求項92に記載した半導体薄膜又は半導体装置の製造方法。

【請求項97】 酸化性雰囲気中でのフラッシュランプアニールの溶解又は半溶解加熱と冷却により、錫等のIV族元素の少なくとも1種を含有するか或いは含有しない低級結晶性半導体薄膜を結晶化させるときに、この低級結晶性又は単結晶性半導体薄膜表面に同時に酸化系絶縁膜を形成し、この酸化系絶縁膜をゲート絶縁膜又は保護膜として使用する、半導体薄膜又は半導体装置の製造方法。

【請求項98】 フラッシュランプアニールにより形成された、低歪点ガラス又は高歪点ガラス又は樹脂基板上の、錫等のIV族元素の少なくとも1種を含有するか或いは含有しない多結晶性又は単結晶性半導体薄膜に、0.1MPa以上で30MPa以下、常温以上で基板の歪点以下の温度の高圧低温の酸化性雰囲気中で酸化系絶縁膜を形成し、この酸化系絶縁膜をゲート絶縁膜又は保護膜として使用する、半導体薄膜又は半導体装置の製造方法。

【請求項99】 フラッシュランプアニールにより形成された、高歪点ガラス基板上の、錫等のIV族元素の少なくとも1種を含有するか或いは含有しない多結晶性又は

単結晶性半導体薄膜を酸化性雰囲気中で高温熱酸化することにより酸化系絶縁膜を形成し、この酸化系絶縁膜をゲート絶縁膜又は保護膜として使用する、半導体薄膜又は半導体装置の製造方法。

【請求項100】 フラッシュランプアニールにより形成された、高歪点ガラス基板上の光反射低減及び保護用絶縁膜付きの、錫等のIV族元素の少なくとも1種を含有するか或いは含有しない多結晶性又は単結晶性半導体薄膜を、酸化雰囲気中で高温熱酸化することにより酸化系絶縁膜を形成し、この酸化系絶縁膜をゲート絶縁膜又は保護膜として使用する、半導体薄膜又は半導体装置の製造方法。

【請求項101】 フラッシュランプアニールにより形成された、錫等のIV族元素の少なくとも1種を含有するか或いは含有しない多結晶性又は単結晶性半導体薄膜、及び絶縁膜の少なくとも一方を、常温～基板の歪点以下の温度、分圧13.33Pa以上で飽和蒸気圧以下の水の気体を含む雰囲気中での加熱工程（水蒸気中アニール）を経て改質する、半導体薄膜又は半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、基体上に多結晶性シリコン又は単結晶性シリコンなどの多結晶性又は単結晶性半導体薄膜を結晶成長させる方法及びその装置、その多結晶性又は単結晶性半導体薄膜を基体上に有する半導体装置及び電気光学装置の製造方法及びその装置、並びに半導体装置及び電気光学装置に関するものである。

【0002】

【従来の技術】従来、MOSFET（Metal-Oxide-Semiconductor Field Effect Transistor）である例えばMOSTFT（Thin Film Transistor＝薄膜絶縁ゲート型電界効果トランジスタ）のソース、ドレイン及びチャンネル領域を多結晶シリコン膜で形成するに際し、プラズマCVD（CVD：Chemical Vapor Deposition＝化学的気相成長法）や減圧CVD法、触媒CVD法等の気相成長法、固相成長法、液相成長法、エキシマレーザーアニール法等が用いられている。

【0003】プラズマCVD法、減圧CVD法等により形成したアモルファス又は微結晶シリコン膜は、特開平7-131030号、特開平9-116156号、特公平7-118443号にみられるように、単に高温アニール又はエキシマレーザーアニール（ELA：Excimer Laser Anneal）処理することにより、多結晶シリコン膜化でキャリア移動度の改善を図ってきたが、この方法では $80 \sim 120 \text{ cm}^2/\text{V} \cdot \text{sec}$ 程度のキャリア移動度を得るのが限界であった。

【0004】しかし、プラズマCVD法によるアモルファスシリコン膜のELAで得られた多結晶シリコン膜を用いるMOSTFTの電子移動度は、 $100 \text{ cm}^2/\text{V}$

・sec前後であり、高精細化にも対応できるので、最近では駆動回路一体型の多結晶シリコンMOSTFTを用いたLCD（Liquid Crystal Display＝液晶表示装置）が注目されている（特開平6-242433号参照）。エキシマレーザーアニール法は、XeClエキシマレーザー等の短波長、短パルスレーザーを試料に照射して短時間に熔融結晶化する方法であるが、アモルファスシリコン膜へのレーザー光照射によりガラス基板を損傷させることなく多結晶化でき、高スループットが期待される。

【0005】

【発明が解決しようとする課題】しかし、上記したELAによる多結晶シリコンMOSTFTの製法では、結晶化速度がn secオーダーと早いために、得られる結晶粒径はせいぜい100nm程度である。そのために、短波長、短パルスレーザー照射時に、基板温度を400℃程度に加熱して、結晶成長を阻害する水素、酸素等を十分に除去し、凝固速度を制御する方法でも粒径が500nm以上の結晶は難しい。そこで、レーザー照射回数を数回以上、例えば5回、30回以上として結晶成長を起こさせるエネルギーを十分に与え、大粒径多結晶シリコン膜化が行われている。しかし、エキシマレーザー出力の安定性や、生産性、大型化による装置価格の上昇、歩留／品質低下等の問題が山積しており、特に、1m×1mの大型ガラス基板になると、前記の問題が拡大して性能／品質向上とコストダウンが一層難しくなる。

【0006】最近、特開平11-97353号等に見られるように、450～600℃、4～12時間の加熱処理で、結晶化を助長する触媒元素（Ni、Fe、Co等）を非晶質シリコン膜内に拡散させて、結晶性シリコン膜を形成する方法が提案されている。しかし、この方法では、触媒元素が形成された結晶性シリコン膜に残存するので、特開平8-339960号等に見られるように、この触媒元素を除去（ゲッタリング）するために、塩素などのハロゲン元素を含有する雰囲気中で加熱処理する方法、リンを結晶性シリコン膜に選択的に添加して加熱処理する方法、触媒元素を含有する結晶性シリコン膜をレーザ光又は強光で照射して触媒元素を拡散し易い状態にして、選択的に添加した元素で触媒元素を吸い取らせる方法等が提案されているが、工程が複雑、ゲッタリング効果が十分ではなく、シリコン膜の半導体特性を損ない、作製する素子の安定性、信頼性が損なわれてしまう。

【0007】また、固相成長法による多結晶シリコンMOSTFTの製法では、600℃以上での十数時間のアニールと、約1000℃での熱酸化のゲートSiO₂の形成が必要なために、半導体製造装置を採用せざるを得ない。このために、基板サイズは、ウエーハサイズ8～12インチφが限界であり、また高耐熱性で高価な合成石英ガラスを採用しなければならず、コストダウンが難

しく、EVFやデータ／AVプロジェクトに用途が限定されている。

【0008】近時、ガラス基板のような絶縁性基板上に、多結晶シリコン膜、窒化シリコン膜等を低温で作製し得る優れた熱CVDである触媒CVD法が開発され

(特公昭63-40314号、特公平8-250438号参照)、実用化の検討が推進されている。触媒CVD法においては、結晶化アニールなしで、 $30\text{ cm}^2/\text{V} \cdot \text{sec}$ 程度のキャリア移動度を得ているが、良質なMOSTFTデバイスを作製するにはまだ不十分である。そして、ガラス基板上に多結晶シリコン膜を形成すると、成膜条件次第では初期のアモルファスシリコンの遷移度(厚さ5~10nm)が形成されやすいので、ボトムゲート型MOSTFTとした場合は所望のキャリア移動度は得にくい。一般に駆動回路一体型の多結晶シリコンMOSTFTを用いたLCDは、ボトムゲート型MOSTFTが歩留及び生産性の面で製造し易いが、この問題がネックとなってくる。

【0009】本発明の目的は、高結晶化率で高品質の多結晶シリコン等の多結晶性又は単結晶性半導体薄膜を容易かつ低コストに、しかも大面積に形成可能な方法と、この方法を実施する装置を提供することにある。

【0010】本発明の他の目的は、こうした多結晶性又は単結晶性半導体薄膜を構成部分として有するMOSTFT等の半導体装置及び電気光学装置の製造方法と、この方法を実施する装置、並びに半導体装置及び電気光学装置を提供することにある。

【0011】

【課題を解決するための手段】即ち、本発明は、基体上に多結晶性又は単結晶性半導体薄膜を形成し、或いは基体上に多結晶性又は単結晶性半導体薄膜を有する半導体装置を製造する際、前記基体上に低級結晶性半導体薄膜を形成する第1工程と、前記低級結晶性半導体薄膜にフラッシュランプアニールを施して、熔融又は半熔融又は非熔融状態の加熱と冷却により前記低級結晶性半導体薄膜の結晶化を促進する第2工程とを有する、半導体薄膜の形成方法又は半導体装置の製造方法に係るものである。

【0012】また、本発明は、本発明の方法を実施する装置として、前記基体上に低級結晶性半導体薄膜を形成するための第1手段と、前記低級結晶性半導体薄膜にフラッシュランプアニールを施して、熔融又は半熔融又は非熔融状態の加熱と冷却により前記低級結晶性半導体薄膜の結晶化を促進するための第2手段とを有する、多結晶半導体薄膜又は単結晶性半導体薄膜の形成装置、又は半導体装置の製造装置を提供するものである。

【0013】また、本発明は、各色用の有機又は無機エレクトロルミネセンス層の下層にそれぞれ、前記多結晶性又は単結晶性半導体薄膜からなるMOSTFTのドレイン又はソースと接続された陰極又は陽極を有し、前記

MOSTFT及びダイオードを含む能動素子上も前記陰極が覆い、或いは前記各色用の有機又は無機エレクトロルミネセンス層の各層上及び各層間の全面に共通の前記陰極又は陽極が被着されている電気光学装置を提供するものである。

【0014】また、本発明は、フィールドエミッションディスプレイ(FED)のエミッタが、前記多結晶性又は単結晶性半導体薄膜からなるMOSTFTのドレインに前記多結晶性又は単結晶性半導体薄膜を介して接続されると共に前記多結晶性又は単結晶性半導体薄膜上に成長されたn型多結晶性半導体膜又は多結晶性ダイヤモンド膜又は窒素含有又は非含有の炭素薄膜、又は窒素含有又は非含有の炭素薄膜表面に形成した多数の微細突起構造(例えば、カーボンナノチューブ)などによって形成されている電気光学装置も提供するものである。

【0015】本発明によれば、基体上に低級結晶性半導体薄膜を形成し、この低級結晶性半導体薄膜にフラッシュランプアニールを施して、熔融又は半熔融又は非熔融状態の加熱と冷却により前記低級結晶性半導体薄膜の結晶化を促進して、多結晶性又は単結晶性半導体薄膜を形成しているため、次の(1)~(10)に示す顕著な作用効果が得られる。

【0016】(1)任意の μsec ~ msec の短時間での1回又は数回繰り返しのフラッシュ照射を行えるフラッシュランプアニールにより、高い照射エネルギーを低級結晶性シリコン等の低級結晶性半導体薄膜に与え、これを熔融又は半熔融状態に加熱し或いは非熔融状態に加熱し、冷却することにより、大粒径の高キャリア移動度、高品質の多結晶性シリコン膜等の多結晶性又は単結晶性半導体薄膜が得られ、生産性が大幅に向上し、大幅なコストダウンが可能となる。

【0017】(2)フラッシュランプアニールは、任意の本数のランプとそのフラッシュ式放電機構を組み合わせることにより、例えば①1000mm×1000mmの大面積を一括して、1回又は必要回数繰り返してフラッシュ照射する、②200mm×200mm正形状に集光整形したフラッシュ照射光をガルバノメータスキャナで走査させ、必要に応じてオーバーラップスキャンングでフラッシュ照射する、③200mm×200mm正形状に集光整形したフラッシュ光照射位置を固定し、基板をステップ&リピートで移動させて必要に応じてオーバーラップスキャンングしてフラッシュ照射する、というように、基板又はフラッシュ照射光を任意の方向と速度で移動させて、加熱熔融及び冷却速度をコントロールし、任意の大面積の低級結晶性シリコン膜等を極めて短時間に多結晶化又は単結晶化できるので、極めて生産性が高く、大幅なコストダウンが実現する。

【0018】(3)フラッシュ照射光を任意の線状、長方形又は正形状又は円形状に集光整形して照射することにより、照射強度、つまり熔融効率及びスループット

向上と結晶化の均一性向上によるキャリア移動度のバラツキ低減が図れる。

【0019】(4) フラッシュランプアニールにより結晶化させた多結晶性シリコン等の膜上に低級結晶性シリコン等の膜を積層し、再度このフラッシュランプアニールで結晶化する方法を繰り返すことにより、 μm 単位の厚みで大粒径での高キャリア移動度、高品質の多結晶性シリコン膜等を積層形成できる。これにより、MOSLSIのみならず、高性能、高品質のバイポーラLSI、CMOSセンサ、CCDエリア／リニアセンサ、太陽電池等も形成できる。

【0020】(5) 低級結晶性半導体薄膜の膜厚、ガラス等の基板の耐熱温度、希望の結晶粒径（キャリア移動度）等に応じて、フラッシュランプアニールの波長調整（封入ガス気体の変更、放電条件の変更、熱線低減フィルタ又は熱線遮断フィルタ採用など）、照射強度、照射時間等のコントロールが容易であるので、高キャリア移動度、高品質の多結晶性シリコン膜等が高生産性で得られる。

【0021】(6) キセノンランプ、キセノン水銀ランプ、クリプトンランプ、クリプトン水銀ランプ、キセノンクリプトンランプ、キセノンクリプトン水銀ランプ、メタルハライドランプ等のフラッシュランプアニールのランプは、繰り返し発光に耐え得るランプであり、XeCl、KrF等のエキシマレーザアニール装置のエキシマレーザ発振器に比べてはるかに安価であり、長寿命でメンテナンスが簡単であるので、大幅なコストダウンが可能である。

【0022】(7) 主にフラッシュランプと放電回路で構成されるフラッシュランプアニール装置は、エキシマレーザアニール装置に比べて、簡単な構造の装置であるから、安価であり、コストダウンが可能である。

【0023】(8) XeCl、KrF等のエキシマレーザアニール処理は ns オーダーのパルス発振型レーザを用いるので、その出力の安定性に課題があり、照射面のエネルギー分布のばらつき、得られた結晶化半導体膜のばらつき、TFTごとの素子特性のばらつきが見られる。そこで、 400°C 程度の温度を付与しつつエキシマレーザパルスを例えば5回、30回などの多数回照射する方法が採られているが、それでも、照射ばらつきによる結晶化半導体膜及びTFT素子特性のばらつき、スループット低下での生産性低下によるコストアップがある。これに対してフラッシュランプアニールでは、上記(2)のように例えば $1000\text{mm} \times 1000\text{mm}$ の大面积を μsec ～ msec オーダーのパルスで一括フラッシュ照射できるので、照射面のエネルギー分布のばらつき、得られた結晶化半導体膜のばらつき、TFTごとの素子特性のばらつきが少なく、高いスループットでの高生産性によるコストダウンが可能である。

【0024】(9) 特に、銅粉末、鉄粉末等の熱線吸収

材を含有させたカラーフィルタガラス（熱線吸収フィルタ）又はITO膜等の赤外線反射膜をコーティングしたコールドミラー／コールドフィルタ又は両者を組み合わせたフィルタ（熱線吸収フィルタに赤外線反射膜をコーティングしたもの等）などの少なくとも赤外線を遮断又は低減する熱線遮断フィルタ又は熱線低減フィルタを用いた強い紫外線光のフラッシュランプアニールでは低温（ $200 \sim 400^\circ\text{C}$ ）で適用できるので、安価であって大型化が容易なアルミノけい酸ガラス、ほうけい酸ガラス等の低歪点ガラスやポリイミド等の耐熱性樹脂を採用でき、軽量化とコストダウンを図れる。

【0025】(10) トップゲート型のみならず、ボトムゲート型、デュアルゲート型及びバックゲート型MOS TFTでも、高いキャリア移動度の多結晶性半導体膜又は単結晶性半導体膜等が得られるために、この高性能の半導体膜を使用した高速、高電流密度の半導体装置、電気光学装置、更には高効率の太陽電池等の製造が可能となる。例えば、シリコン半導体装置、シリコン半導体集積回路装置、フィールドエミッションディスプレイ(FED)装置、シリコンゲルマニウム半導体装置、シリコンゲルマニウム半導体集積回路装置、炭化ケイ素半導体装置、炭化ケイ素半導体集積回路装置、III-V及びII-VI族化合物半導体装置、III-V及びII-VI族化合物半導体集積回路装置、多結晶性又は単結晶性ダイヤモンド半導体装置、多結晶性又は単結晶性ダイヤモンド半導体集積回路装置、液晶表示装置、エレクトロルミネセンス（有機／無機）表示装置、発光ポリマー表示装置、発光ダイオード表示装置、光センサー装置、CCDエリア／リニアセンサ装置、CMOSセンサ装置、太陽電池装置等が製造可能である。

【0026】なお、本発明において、上記の低級結晶性半導体薄膜とは、後述の定義のように、アモルファス（非晶質）からなる構造、微結晶（グレインサイズでは通常 10nm 以下）からなる構造、微結晶も含有するアモルファス（非晶質）をベースとした構造、アモルファス（非晶質）も含有する微結晶をベースとした構造、更にアモルファス（非晶質）及び微結晶も含有する多結晶をベースとした構造から主としてなり、上記の多結晶性半導体薄膜は、そうしたアモルファス成分が除去された大粒径（グレインサイズでは通常、 100nm 以上）の多結晶をベースとし、微結晶も含有する構造から主としてなる。また、上記の単結晶性半導体膜は、単結晶シリコン等の単結晶半導体はもちろん、単結晶化合物半導体（例えば単結晶ガリウムヒ素）や単結晶シリコンゲルマニウムを含む概念であり、単結晶性とは、亜粒界や転移を含有する単結晶についてもこれを含めた概念と定義する。また、上記の多結晶性ダイヤモンド膜は、アモルファス（非晶質）ダイヤモンドをほとんど含有せず、微結晶ダイヤモンド及び多結晶ダイヤモンドを含有する結晶性ダイヤモンド膜とする。

【0027】

【発明の実施の形態】本発明において、上記低級結晶性半導体薄膜は、触媒CVDやプラズマCVD等により気相成長させてよいが、これに使用する原料ガスは、水素化ケイ素又はその誘導体、水素化ケイ素又はその誘導体と水素、窒素、ゲルマニウム、炭素又は錫を含有するガスとの混合物、水素化ケイ素又はその誘導体と周期表第III族又は第V族元素からなる不純物を含有するガスとの混合物、水素化ケイ素又はその誘導体と水素、窒素、ゲルマニウム、炭素又は錫を含有するガスと周期表第II

I族又は第V族元素からなる不純物を含有するガスとの混合物等が挙げられる。

【0028】上記の如き原料ガスを使用することによって、アモルファスシリコン膜、微結晶シリコン含有アモルファスシリコン膜、微結晶シリコン（アモルファスシリコン含有微結晶シリコン）膜、アモルファスシリコン及び微結晶シリコン含有多結晶シリコン膜、アモルファスゲルマニウム膜、微結晶ゲルマニウム含有アモルファスゲルマニウム膜、微結晶ゲルマニウム（アモルファスゲルマニウム含有微結晶ゲルマニウム）膜、アモルファスゲルマニウム及び微結晶ゲルマニウム含有多結晶ゲルマニウム膜、 $\text{Si}_x\text{Ge}_{1-x}$ （ $0 < x < 1$ ）で示されるアモルファスシリコンゲルマニウム膜、アモルファスカーボン膜、微結晶カーボン含有アモルファスカーボン膜、微結晶カーボン（アモルファスカーボン含有微結晶カーボン）膜、アモルファスカーボン及び微結晶カーボン含有多結晶カーボン膜、 $\text{Si}_x\text{C}_{1-x}$ （ $0 < x < 1$ ）で示されるアモルファスシリコンカーボン膜、又は $\text{Ga}_x\text{As}_{1-x}$ （ $0 < x < 1$ ）で示されるアモルファスガリウムヒ素膜等からなる前記低級結晶性半導体薄膜を形成することができる。この低級結晶性半導体薄膜は、アモルファスをベースとし、また微結晶を含む場合には結晶成長のシードとなる粒径が10nm以下の微結晶が点在するのがよい。

【0029】そして、この低級結晶性半導体薄膜の成長時又は成長後に、錫、ゲルマニウム、鉛等のIV族元素の少なくとも1種を適量（合計が例えば $10^{17} \sim 10^{22} \text{ atoms/cc}$ 、好ましくは $10^{18} \sim 10^{20} \text{ atoms/cc}$ ）含有させ、この状態で前記フラッシュランプアニールを行うと、この低級結晶性半導体薄膜が結晶化されるときに、結晶化を促進すると共に、例えば多結晶性半導体薄膜の結晶粒界（グレインバウンダリ）に存在する不整を低減し、その膜ストレスを低減して高キャリア移動度、高品質の多結晶性半導体薄膜が得られ易くなる。このIV族元素は、原料ガス中にガス成分として混合したり、或いはイオン注入又はイオンドーピングにより、低級結晶性半導体薄膜中に含有させることができる。又、減圧CVD等での微結晶シリコン膜に、例えば $1 \times 10^{15} \text{ atoms/cm}^2$ のドーズ量でシリコン又はゲルマニウムイオン注入してアモルファスシリコン化

した後にフラッシュランプアニールして大粒径多結晶性又は単結晶性シリコン薄膜を形成してもよい。

【0030】なお、本発明による大粒径多結晶性又は単結晶性半導体膜中の酸素、窒素、炭素濃度は夫々、 $1 \times 10^{19} \text{ atoms/cc}$ 以下、好ましくは $5 \times 10^{18} \text{ atoms/cc}$ 以下がよく、水素濃度は0.01原子%以上が好ましい。又、ナトリウムがSIMS最低濃度領域で $1 \times 10^{18} \text{ atoms/cc}$ 以下が好ましい。

【0031】前記フラッシュランプアニールによって前記低級結晶性シリコン等の低級結晶性半導体薄膜を大粒径の多結晶性シリコン等の多結晶性半導体薄膜に改質させるが、これ以外にも、前記基体において所定の素子形成予定領域に所定形状及び寸法の段差付き凹部を形成し、この凹部を含む前記基体上に、錫等のIV族元素の少なくとも1種を含有するか或いは含有しない前記低級結晶性シリコン薄膜を形成した後、前記フラッシュランプアニールによって前記段差の底辺角部をシードにグラフオエピタキシャル成長させると、前記低級結晶性シリコン薄膜を単結晶性シリコン薄膜に改質させることができる。

【0032】或いは、前記基体において所定の素子形成予定領域に単結晶シリコンと格子整合の良い結晶性サファイア等の物質層を形成し、この物質層上に、錫等のIV族元素の少なくとも1種を含有するか或いは含有しない前記低級結晶性シリコン薄膜を形成した後、前記フラッシュランプアニールによって前記物質層をシードにヘテロエピタキシャル成長させると、前記低級結晶性シリコン薄膜を単結晶性シリコン薄膜に改質させることができる。前記グラフオエピタキシャル成長、又は前記ヘテロエピタキシャル成長で形成した単結晶性シリコン薄膜表面等をCMP（Chemical Mechanical Polishing）又は選択的エッチング等してアイランド化した所定の膜厚及び面積の単結晶性シリコン薄膜を形成し、必要に応じて高温熱酸化、低温高圧アニール、CVD等によりゲート絶縁膜又は保護膜を形成してSCSOS基板、例えばSCSOG基板を作製してもよい。ここでSCSOS: Single Crystal Semiconductor (Silicon) on Substrate、SCSOG: Single Crystal Semiconductor (Silicon) on Glassである。

【0033】そして、このフラッシュランプアニールと低級結晶性半導体薄膜の成膜とを繰り返すことにより、膜を積層して μm 単位の大結晶性又は単結晶性半導体厚膜を形成してもよい。つまり、1回目のフラッシュランプアニールで大粒径の多結晶性又は単結晶性半導体薄膜を形成し、その上に低級結晶性半導体薄膜を積層形成し、次にこの下地の大粒径多結晶性又は単結晶性半導体薄膜をシードに2回目の同様のフラッシュランプアニールにより大粒径多結晶性又は単結晶性半導体膜の積層形成することを必要回数繰り返して、 μm 単位の大結晶性又は単結晶性半導体膜を積層形成できる。こ

のような積層時は、下地膜の大粒径多結晶性又は単結晶性半導体膜をシードとして次々と積層形成するので、膜表面に近いほど高結晶化率、高純度の大粒径多結晶性又は単結晶性半導体膜を積層形成できる。この時は、各アニール後の結晶化膜表面に低級酸化膜形成やコンタミ（不純物質）付着がないことが重要となってくる。

【0034】低級酸化膜形成及びコンタミ防止、生産性向上の面から、低級結晶性半導体薄膜形成工程又は手段（プラズマCVD、触媒CVD、スパッタなど）と、フラッシュランプアニール工程又はアニーラーとを一体化した装置とし、例えばインライン（連続チャンバ）方式（リニア型、回転型）、マルチチャンバ方式、クラスタ方式などによって連続的に若しくは順次に行うことが好ましい。

【0035】これらのうち、次の（１）又は（２）のクラスタ方式がより好ましい。

（１）CVD部で低級結晶性半導体薄膜を形成した後、アニーラー部のフラッシュランプアニールで結晶化し、これをCVD部に戻してその上に低級結晶性半導体薄膜を形成し、再びアニーラー部のフラッシュランプアニールで結晶化を行う工程を繰り返すクラスタ方式一体化装置。

【0036】（２）CVD-１部で下地保護膜（酸化シリコン／窒化シリコン積層膜等）を形成し、CVD-２部で低級結晶性半導体薄膜を形成した後、必要に応じてイオンドーピング／イオン注入部でIV族元素を添加してから、アニーラー部のフラッシュランプアニールで結晶化し、更にCVD-３部でゲート絶縁膜（酸化シリコン膜等）形成の作業を連続するクラスタ方式一体化装置。

【0037】そして、この時に、フラッシュランプアニールを再び行う前に、例えば前記多結晶性半導体薄膜に対し水素又は水素含有ガスのプラズマ放電又は触媒反応で生成した水素系活性種等を作用させて（即ち、プラズマ又は触媒AHA（Atomic Hydrogen Anneal）処理によって）、前記多結晶性半導体薄膜の表面クリーニング及び／又は酸化被膜の除去を行い、しかる後に前記低級結晶性半導体薄膜の形成後に前記フラッシュランプアニールを行うことが望ましい。この場合（或いは他の場合も）、フラッシュランプアニールを特に、減圧水素中又は減圧水素含有ガス中又は真空中で行うことが望ましい。

【0038】即ち、具体的には、次の（１）又は（２）の条件が好ましい。

（１）CVDによる成膜前に、原料ガスを流さないで水素系キャリアガスのみでプラズマ又は触媒AHA処理することにより、１回目のフラッシュランプアニールで形成された多結晶性シリコン薄膜表面のコンタミ（低級酸化膜、水分、酸素、窒素、炭酸ガス等）を除去して界面をクリーニングし、残存するアモルファスシリコン成分をエッチングして高結晶化率の多結晶シリコン薄膜化す

るので、この下地をシードとしてクリーンな界面上に積層する低級結晶性シリコン薄膜は、次のフラッシュランプアニールにより、良好な結晶の大粒径多結晶性又は単結晶性半導体薄膜として積層形成される。

【0039】（２）酸化及び窒化防止のために、フラッシュランプアニールを減圧水素又は減圧水素系ガス雰囲気中又は真空中で行う。この雰囲気としては、水素、又は水素と不活性ガス（アルゴン、ヘリウム、クリプトン、キセノン、ネオン、ラドン）との混合ガスであり、ガス圧は 1.33 Pa 以上で大気圧未満、好ましくは $1.33\text{ Pa} \sim 4 \times 10^4\text{ Pa}$ である。真空度は 1.33 Pa 以上で大気圧未満、好ましくは $1.33\text{ Pa} \sim 1.33 \times 10^4\text{ Pa}$ である。但し、低級結晶性半導体薄膜表面に絶縁性保護膜（酸化シリコン膜又は窒化シリコン膜、酸窒化シリコン膜又は酸化シリコン／窒化シリコン積層膜又は酸化シリコン／窒化シリコン／酸化シリコン積層膜等）がある場合は、又は連続作業でない場合は、空气中、大気圧窒素中でもよい。

【0040】フラッシュランプアニールを減圧水素又は減圧水素含有ガス中で行うと、雰囲気ガスを構成する、比熱が大きくて熱冷却効果の大きい気体分子が薄膜面に衝突し、離脱する際に薄膜の熱を奪うため、局部的に温度の低い部分を形成し、これによって、この部分で結晶核が発生し、結晶の成長を促進することがある。このときの雰囲気ガスが水素ガス又は水素と不活性ガス（H₂、Ne、Ar等）の混合ガスであれば、そのガス圧を 1.33 Pa 以上で大気圧未満、好ましくは $1.33\text{ Pa} \sim 4 \times 10^4\text{ Pa}$ とするのがよいが、これは比熱の高い水素分子等の運動により上記の作用効果が確実に得られるからである。

【0041】また、フラッシュランプアニール時に、抵抗加熱ヒーター、赤外線ランプなどにより基板をその歪点以下の温度に加熱するのがよい。ポリイミド等の耐熱性樹脂基板やほうけい酸ガラス、アルミナけい酸ガラス等の低歪点ガラス基板では $200 \sim 500^\circ\text{C}$ 、好ましくは $300 \sim 400^\circ\text{C}$ であり、石英ガラス、結晶化ガラス等の耐熱性基板では $200 \sim 800^\circ\text{C}$ 、好ましくは $300 \sim 600^\circ\text{C}$ である。

【0042】フラッシュランプアニールする方法としては、①大面積を一括して少なくとも１回フラッシュ照射する一括フラッシュ照射、②同一領域をフラッシュ照射しながら少なくとも１回走査するスキャニング照射、③又はフラッシュ照射光に対して前記基板を相対的にステップ送り及び／又はリピート送りしながら少なくとも１回フラッシュ照射するステップ及び／又はリピート照射がある。具体的には、次の通りである。尚、必要に応じて、オーバーラップして走査させ、同じ領域を１回又は必要回数繰り返してフラッシュ照射してもよい。

【0043】①一括フラッシュ照射

例えば $1000 \times 1000\text{ mm}$ の大面積の基板を一括し

て、1回又は必要回数繰り返してフラッシュ照射する。

【0044】②ガルバノメータスキニングでフラッシュ照射

基板を固定し、例えば200×200mm正形状に集光整形したフラッシュ照射光をガルバノメータスキナーで走査させ、同じ領域内を1回又は必要回数繰り返してフラッシュ照射する。

【0045】③ステップ&リピートでフラッシュ照射
例えば200×200mm正形状に集光整形したフラッシュ照射光位置を固定し、基板を高精度X-Y移動させて、同じ領域を1回又は必要回数繰り返してフラッシュ照射する。

【0046】フラッシュランプには、フラッシュ式にして繰り返し発光させることができる例えばキセノンランプ、キセノン水銀ランプ、キセノンクリプトンランプ、クリプトンランプ、クリプトン水銀ランプ、キセノンクリプトン水銀ランプ、メタルハライドランプなどが適している。

【0047】フラッシュランプからの照射光は、少なくとも紫外線波長領域の発光スペクトルを示すように波長制御するのがよい（必要に応じて銅粉末、鉄粉末、リン酸等の熱線吸収材を含有させたカラーフィルタガラス（熱線吸収フィルタ）又はITO膜等の赤外線反射膜をコーティングしたコールドミラー／コールドフィルタ又は両者を重ね合わせたフィルタ（例えば熱線吸収フィルタに赤外線反射膜をコーティングしたもの）などの少なくとも赤外線を遮断又は低減する熱線遮断フィルタ又は熱線低減フィルタを通して、基板の温度上昇を防止してよい）。また、フラッシュランプアニール時にフラッシュランプに流す放電電流のピーク値及び時間幅、並びにランプ発光の繰り返し速度を適宜調整できるようにしたフラッシュ式放電機構と紫外線等の光源ランプとを含む発光装置を用いることができる。

【0048】例えば、図8に示すようなキセノンフラッシュランプの発光スペクトルにおいて同一形状のランプを使用する場合は、コンデンサの充電電圧を高くして放電させると、放電時の放電電流波形のピーク値が上がり、結果として、波長400nm以下の紫外線波長領域のスペクトル強度が相対的に増大する。また、コンデンサの充電電圧が一定の場合は、インダクタンスを小さくする程、1/3パルス幅が減少し、放電電流波形のピーク値が増大し、結果として波長400nm以下の紫外線波長領域のスペクトル強度が相対的に増大する。

【0049】大粒径（高キャリア移動度）の多結晶性促進と、上記したグラフォエピタキシャル又はヘテロエピタキシャル成長での単結晶性化促進のためには、シリコン溶融後に徐冷却するのが望ましいので、フラッシュランプアニール時のフラッシュ時間（パルス幅）やピーク値、ランプ発光の繰り返し速度及び頻度を適宜制御し、特に1/3パルス幅は長い程よく、例えば1ミリ秒以

上、好ましくは1.5ミリ秒以上が望ましい。なお、1/3パルス幅は低級結晶性半導体薄膜の製法、膜厚、被照射面積及び形状などによって随時変更するのが好ましい。

【0050】本発明に用いるフラッシュランプ光源装置は、次の（1）～（4）の少なくとも1つの構成からなっている。

（1）ランプを容したアース電位の筐体内に反射部材が設けられ、必要あれば前記反射部材の表面に微細な凹凸が形成されていること。具体的には、循環冷媒（純水等）で冷却されたアース電位の金属製外囲器の内部に反射部材（アルミニウム板等）が取り付けられ、この反射部材の表面に微細な凹凸形状（ブラスト加工、エッチング等）を設けて、乱反射により反射光の照度均一化を図ってもよい。

【0051】（2）ランプ及び反射部材が光遮断性の筐体内に收容され、必要あれば熱線吸収性又は熱線遮断性の透明部材を通してフラッシュ照射光が導かれること。具体的には、フラッシュランプ及び反射部材等は光遮断の金属製外囲器に収められ、必要に応じて銅粉末、鉄粉末、リン酸等の熱線吸収材を含有させたカラーフィルタガラス（熱線吸収ガラス）又はITO膜等の赤外線反射膜をコーティングしたコールドミラー／コールドフィルタ、又は両者を組み合わせたフィルタ（例えば、熱線吸収フィルタに赤外線反射膜をコーティングしたフィルタ）などの少なくとも赤外線を遮断又は低減する熱線遮断フィルタまたは熱線低減フィルタを介して所定方向へ効率良く投光される。

【0052】（3）ランプ、反射部材が筐体内に收容され、反射集光されたフラッシュ照射光及び前方へのフラッシュ照射光が集光レンズ又は光整形器を通して導かれること。具体的には、帯状のフラッシュ光で照射する場合は、複数のフラッシュランプ後方に循環冷媒（純水など）で冷却された凹状集光反射部材を配置し、反射集光させたフラッシュ照射光及び前方フラッシュ照射光をさらに集光レンズで絞って照度の向上した帯状のフラッシュ照射光とする。また、正形状又は長形状のフラッシュ照射光で大面積一括照射する場合は、複数のフラッシュランプ後方に循環冷媒（純水など）で冷却された反射部材を配置し、反射させたフラッシュ照射光及び前方フラッシュ照射光を光整形器（光ホモジナイザーなど）で整形して照度均一性を向上させる。この時も、必要に応じて前記熱線低減フィルタ又は熱線遮断フィルタを介して所定方向へ投光してもよい。なお、この光整形器（光ホモジナイザーなど）に熱線反射膜をコートしてもよい。

【0053】（4）反射部材及び筐体は、純水などの循環冷媒で冷却されること。

【0054】また、前記フラッシュランプアニールに使用するランプの外壁にトリガー電極を設けるのがよい

(トリガー方式)。この場合、フラッシュランプを平行平板型発光管として形成し、この発光管内に一对又は複数対の対向電極を配置し、かつ前記対向電極間において前記発光管の外壁に前記トリガー電極薄膜パターン又はトリガー電極組立体を前記対向電極の少なくとも一对の数だけ設けることがよい。

【0055】また、直管型発光管内に複数対の対向電極を配置し、これらの対向電極間において前記発光管の外壁にトリガー電極組立体又はトリガー電極薄膜パターンを設けてもよい。

【0056】フラッシュランプの点灯方法は、通常の白熱電球とは異なり、ランプ内に封入された例えばキセノンガスは電氣的に絶縁体であるため、特別な高電圧発生の回路によるトリガー電圧でランプ内壁に予め絶縁を破壊して電流の流れる道筋（ストリーマ）が作られる。予め直流電流により充電され、蓄えらえた主放電用コンデンサ内の電荷は、この道筋に沿って放電し、ランプが点灯する。ランプの点灯モードには2種類あり、繰り返して点灯する際に、点灯を容易にするために常時微小の予備電流を流して電氣的な導体に保ち、容易に主放電ができるようにした方式（シマー方式）と、予備電流がなく、点灯のたびに高電圧を印加して気体を絶縁破壊して点灯させる方式（トリガー方式）があり、何れも閃光的に1回又は繰り返しの発光が可能なフラッシュ式放電機構（直流電源、電荷蓄積用のコンデンサ、放電時の電流波形制御用のコイル、フラッシュランプ等）を有している。

【0057】本発明ではいずれの方式も適用可能であるが、トリガー方式については、従来のフラッシュランプ構造では、例えば石英ガラス製の直径10mm、長さ150mmの直管型発光管の両端近傍に一对の電極が対向配置され、発光管の外壁にトリガー電極組立体が配設されているが、本発明ではこのような構造のみならず、例えば縦150×横100×高さ10mmの平行平板型発光管の両端近傍に一对又は複数対の電極が対向配置され、発光管の外壁にトリガー電極薄膜パターン又はトリガー電極組立体が配設された構造としてもよい。このときに、石英ガラス製の発光管壁面（内側又は外側又は双方）を微細凹凸加工（ブラスト、エッチングなど）することにより、フラッシュ照射光の照度均一化を図ってもよい。さらに、平行平板型発光管の場合、複数のそれぞれの陰極及び陽極とトリガー金属線又はトリガー電極パターンの間隔が同じ距離となるように設けるのが望ましい。

【0058】こうした平行平板型（直方体）発光管は、例えば縦150×横100×高さ10mmの平行平板型発光管の両端近傍に一对又は複数対の電極が対向配置され、発光管の外壁にトリガー電極組立体又はトリガー電極薄膜パターンが配設された構造であるので、フラッシュ照射面積の拡大と照射光の照度均一化を図れる。ま

た、さらに石英ガラス製の平行平板型発光管及び直管型発光管の場合に、発光管壁面（内側又は外側又は双方）を微細凹凸加工（ブラスト、エッチング）することにより、フラッシュ照射光の照度均一化が向上する。尚、ランプ形状として、コ型、うず巻型（蚊取線香型）、うず巻型+同心円型などとしてもよい。

【0059】バルブ外壁に透明導電性被膜を設け、さらにその上にバネ性のあるらせん状の金属線を設け、該金属の一端をフリーにし、他端部を該被膜に導電性ペイントで固着するフラッシュランプ（実用新案第2555672号参照）に、上記のようなバルブ又は直方体外壁に微細凹凸加工を追加すると、フラッシュ照射光の照度均一化、透明導電性被膜の密着性が改善され、バネ性のあるらせん状の金属線の密着性も改善されるので、安定した発光と長寿命化が可能となる。

【0060】例えば縦150×横100×高さ10mmの平行平板型発光管は、長さ150mm×直径10mmの直管型発光管の10本分の照射面積であるにもかかわらず、トータルとして低い消費電力でフラッシュ照射できるので、効率が良く、安価で交換頻度が少なく、コストダウンが実現する。

【0061】このときに、平行平板型発光管の投光面の反対面側に、透明導電性被膜又は金属被膜をパターンニングしてトリガー電極線を並列に設けることにより、複数対の電極間の放電ばらつきを低減するので、安定した発光と長寿命化が可能となる。

【0062】発光管後方に冷却した反射部材を設けると、使用中に高温にならないので、反射部材の機能が劣化せず、ランプの動作が安定化し、また余計なガスを放出させて外囲器内部の雰囲気悪化を悪化させることがないので、安定した発光と長寿命化が可能となる。

【0063】また、前記フラッシュランプアニールに使用するランプを複数個使用し、これらのランプを平面的に並置すると共に、複数個を互いに直列接続してそれぞれの電源に接続するか、各ランプ毎に電源を設けるか、或いは全ランプを直列接続して共通の電源に接続し、複数のランプを同期してトリガーして同時に発光させることができる。

【0064】また、フラッシュランプを真空容器内に收容し、反射部材を振動吸収材を介して前記真空容器に取り付けるのがよい。

【0065】また、前記低級結晶性半導体薄膜上に例えば酸化シリコン膜又は窒化シリコン膜又は酸窒化シリコン膜又は酸化シリコン/窒化シリコン積層膜、酸化シリコン/窒化シリコン/酸化シリコン積層膜などの絶縁性保護膜を適当な膜厚で形成し、この状態で前記フラッシュランプアニールを行うのがよい。例えば、前記基体上に形成された前記低級結晶性半導体薄膜に対し、又は保護用絶縁膜を被覆して、前記低級結晶性半導体薄膜のフラッシュ照射で前記フラッシュランプアニールを行うに

10

20

30

40

50

際し、その上面から又は下面から又は上面と下面から同時に前記フラッシュ照射を行うのがよい（但し、上面以外の場合は、基体は透明（400nm以下の波長の光も透過すること。））。

【0066】この場合、前記低級結晶性半導体薄膜、又は前記保護用絶縁膜を被覆した前記低級結晶性半導体薄膜は所望の面積及び形状にアイランド化されたものであること、大気圧窒素中又は空气中で前記フラッシュ照射を行うこと、減圧水素ガス中又は減圧水素含有ガス中又は真空中で前記フラッシュ照射を行うこと（これらは、他のフラッシュ照射条件下でも同様であってよい）がよい。

【0067】基板温度上昇低減、膜ストレス低減、含有ガス（水素など）の瞬間的膨張による膜のクラック防止、徐冷却による大粒径化などのために、更に、前記の絶縁性保護膜を被覆した低級結晶性半導体薄膜は所望の面積及び形状にパターンニングしてアイランド化した状態で、前記フラッシュランプアニールを行うのがよい。

【0068】また、磁場及び／又は電場の作用下で前記フラッシュランプアニールを行うのがよい。

【0069】フラッシュランプアニール時に、基体をその歪点以下の温度、好ましくは300～500℃に加熱しておく、アニール時に低級結晶性半導体薄膜の脱水素化、結晶性の均一化、膜及び基板ストレス低減化、照射エネルギーの効率向上、スループット向上等を図れる。尚、フラッシュランプアニールする前に低級結晶性半導体薄膜の脱水素化の加熱（例えば420～450℃、30分）処理しておいてもよい。

【0070】フラッシュランプアニールで得られた前記多結晶性又は単結晶性半導体薄膜によって、MOSTFTのチャンネル、ソース及びドレイン領域、又は、ダイオード、配線、抵抗、容量又は電子放出体等を形成することができる。この場合、前記チャンネル、ソース及びドレイン領域、ダイオード、抵抗、容量、配線、電子放出体等の形成後に、これらの領域に対し、このフラッシュランプアニールを施すと、再結晶化と膜中のn型又はp型不純物の活性化を行える。また、上記領域を所望の面積及び形状のパターンニング（アイランド化）した後にフラッシュランプアニールすると、温度上昇による基板ダメージ（クラック、割れなど）を防止でき、かつ急激な温度上昇による膜のひび割れを防止できる。

【0071】本発明は、シリコン半導体装置、シリコン半導体集積回路装置、シリコンゲルマニウム半導体装置、シリコンゲルマニウム半導体集積回路装置、III-V及びII-VI族化合物半導体装置、III-V族及びII-VI族化合物半導体集積回路装置、炭化ケイ素半導体装置、炭化ケイ素半導体集積回路装置、多結晶性又は単結晶性ダイヤモンド半導体装置、多結晶性又は単結晶性ダイヤモンド半導体集積回路装置、液晶表示装置、有機又は無機エレクトロルミネセンス（EL）表示装置、フィ

ールドエミッションディスプレイ（FED）装置、発光ポリマー表示装置、発光ダイオード表示装置、CCDエリア／リニアセンサ装置、CMOS又はMOSセンサ装置、太陽電池装置用等の薄膜を形成するのに好適である。

【0072】例えば、この薄膜によりトップゲート型又はボトムゲート型又はデュアルゲート型又はバックゲート型MOSTFTを形成し、またこのMOSTFTによる周辺駆動回路、映像信号処理回路、メモリ回路等の一体型の電気光学表示装置、例えば液晶表示装置、有機EL表示装置、FED表示装置等が得られる。

【0073】この場合、内部回路及び周辺回路を有する半導体装置、電気光学表示装置、固体撮像装置等の製造に際し、これらの回路の少なくとも一方を構成するMOSTFTのチャンネル、ソース及びドレイン領域を前記多結晶性又は単結晶性半導体薄膜によって形成してよく、また周辺駆動回路、映像信号処理回路、メモリ回路等の一体型の構成とすることもできる。

【0074】また、各色用の有機又は無機エレクトロルミネセンス層（EL層）の下層にそれぞれ、前記MOSTFTのドレイン又はソースと接続された陰極又は陽極を有するEL素子構造とするのがよい。

【0075】この場合、前記MOSTFT及びダイオード等の能動素子上も前記陰極が覆うようにすれば、陽極が上部にある構造では発光面積が増大すると共に、陰極の遮光作用で発光光が前記能動素子に入射してリーク電流を発生させることを防止できる。また、前記各色用の有機又は無機EL層の各層上及び各層間の全面に前記陰極又は陽極が被着されるようにすれば、全面が陰極又は陽極で覆われることにより、湿気に弱い有機EL層の劣化や電極の酸化を防止して、長寿命、高品質、高信頼性が可能となり、また陰極で覆われると放熱効果が高まるので、発熱による有機EL薄膜の構造変化（融解あるいは再結晶化）が低減し、長寿命、高品質、高信頼性が可能となり、更にこれにより、高精度、高品質のフルカラーの有機EL層を生産性良く形成できるので、コストダウンが可能となる。

【0076】また、前記各色用の前記有機又は無機EL層間にクロム、二酸化クロム等のブラックマスク層を形成すると、各色間又は画素間での光漏れを防ぎ、コントラストが向上する。

【0077】本発明をフィールドエミッションディスプレイ（FED）装置に適用するときは、そのエミッタ（電界放出カソード）を、前記多結晶性又は単結晶性半導体薄膜を介して前記MOSTFTのドレインに接続すると共に前記多結晶性又は単結晶性半導体薄膜上に成長されたn型多結晶性半導体膜又は多結晶性ダイヤモンド膜、又は窒素含有又は非含有の炭素薄膜、又は窒素含有又は非含有の炭素薄膜表面に形成された多数の微細突起構造（例えばカーボンナノチューブ）などによって形成

するのがよい。

【0078】この場合、前記MOSTFT、ダイオード等の能動素子上に絶縁膜を介してアース電位の金属遮蔽膜（これは、前記FEDのゲート引き出し電極と同一材料で同一工程により形成すると、工程簡略化等の点で有利である。）を形成すると、気密容器内にあるガスがエミッタから放出された電子により正イオン化されて絶縁層上にチャージアップし、この正電荷が絶縁層下にある能動素子に不要な反転層を形成したり、この反転層を介して余分な電流が流れるために生じるエミッタ電流の暴走を防止することができる。また、エミッタから放出された電子の衝突により蛍光体が発光する際、この光によりMOSTFTのゲートチャンネル内に電子、正孔が発生してリーク電流が生じることも防止できる。

【0079】本発明はまた、基体上に、錫等のIV族元素の少なくとも1種を含有するか或いは含有しない低級結晶性半導体薄膜を形成する第1工程と、前記基体をその歪点以下の温度に加熱する予備加熱処理（Pre-baking）を行う第2工程と、前記基体をその歪点以下の温度に加熱する補助加熱状態（Asist-baking）でのフラッシュランプアニールにより、熔融又は半熔融又は非熔融状態の加熱と冷却で前記低級結晶性半導体薄膜の結晶化を促進する第3工程と、前記結晶化した半導体薄膜を少なくとも前記基体の歪点以下の温度に冷却するまで後加熱保持（Post-baking）する第4工程とを有する、半導体薄膜の形成方法及び半導体装置の製造方法も提供するものである。

【0080】ここで、上記の低級結晶性半導体薄膜及びフラッシュランプアニールは上述した定義のものであるが、上記の各熱処理は下記の理由からそれぞれ重要なものである（この定義及びその重要性は、後述する各方法においても同様である）。

【0081】＜予備加熱処理（プリベーキング；Pre-baking）＞低結晶性半導体薄膜に吸着したガス（酸素、窒素、炭酸ガスなど）、水分、更に成膜時のガス（プラズマCVD成膜での水素ガスなど）を含有したままフラッシュランプアニールすると、急激な膜及び基体温度上昇によるストレス不具合、例えば水素ガスの膨張爆発により膜剥がれ、膜クラック、基体ダメージ（ガラス結晶化など）などの不具合が起こるので、これを防止するために予備加熱処理して前記不具合要因を除去する。

【0082】前記予備加熱処理は、抵抗加熱ヒーター、ハロゲンランプ等の加熱手段により常温以上で基体の歪点以下の温度、例えば300℃～500℃の温度とし、処理時間は低級結晶性半導体薄膜成膜条件（気相成長、スパッタリング、蒸着等）による膜厚及び膜質、基体の材質とサイズ等によって最適化、例えば5～20分間とするのが望ましい。

【0083】なお、予め別の加熱装置で、プラズマCVDでのアモルファスシリコン薄膜中の脱水素化処理温度

（約420℃）の加熱処理等を行ってもよいが、前記理由によりフラッシュランプアニール装置内での前記予備加熱処理が必要であることは言うまでもない。

【0084】＜補助加熱状態（アシストベーキング；Asist-baking）＞例えば1.5msecの超短時間のフラッシュ照射により急激な膜温度上昇で低級結晶性半導体薄膜を熔融させると、基体の温度と熔融シリコンとの温度差によるストレスダメージ、例えば膜剥がれ、膜クラック、基体のクラック、基体ひび割れ等の問題が起こりやすいので、その温度差を少なくしてストレスダメージ低減のために、フラッシュ照射時に基体を所定の温度に保持しておくのが望ましい。

【0085】前記補助加熱状態は、常温以上で基体の歪点以下の温度、例えば300℃～500℃とし、フラッシュランプアニール条件、低級結晶性半導体薄膜成膜条件（気相成長、スパッタリング、蒸着等）による膜厚及び膜質、基体の材質とサイズ等によって最適化するのが望ましい。

【0086】＜後加熱保持状態（ポストベーキング；Post-baking）＞補助加熱状態での超短時間、例えば1.5msecのフラッシュランプアニールにより、前記低級結晶性半導体薄膜の熔融又は半熔融又は非熔融状態の加熱と冷却で前記低級結晶性半導体薄膜の結晶化を促進するが、この時に徐冷却すると、結晶粒径の大型化、膜ストレス低減化等による結晶性及びTFT特性向上を期待できる。

【0087】これに対して、急冷却すると、基体の温度と熔融シリコンとの温度差によるストレスダメージ、例えば膜剥がれ、膜クラック、基体のクラック、基体ひび割れ等の問題が起こりやすいので、その急激な温度差を少なくして熱ストレスを低減するために、フラッシュランプアニール後に、基体及び結晶化した半導体薄膜を少なくとも予備加熱温度又は補助加熱温度までに冷却する時間、例えば1～10分間保持しておくのが望ましい。

【0088】従って、加熱装置を共用化して、予備加熱温度と補助加熱温度及び後加熱保持温度を同じ温度、例えばプラズマCVDでのアモルファスシリコン薄膜中の脱水素化処理温度（約420℃）に設定して、前記所定時間の予備加熱後にフラッシュランプアニールし、更に所定時間の加熱保持後に、例えば1～10分後に基体を取り出す一連の作業としてもよい。

【0089】なお、上記基体は、低歪点ガラス基板（ほうけい酸ガラス、アルミノけい酸ガラス、強化ガラスなど）、高歪点ガラス基板（合成石英ガラス、熔融石英ガラス、結晶化ガラスなど）、耐熱性樹脂基板（ポリイミドなど）、セラミックス基板、絶縁性膜コーティングの金属基板又はセラミックス基板、絶縁性膜コーティングのシリコン又は化合物半導体基板などがあるが、必要に応じて使い分けしてもよい。

【0090】この製造方法では、前記第1工程と前記第

2工程と前記第3工程と前記第4工程とを繰り返すことが望ましい。

【0091】また、前記基体の適当な前記予備加熱処理（Pre-baking）、前記補助加熱状態（Asist-baking）及び前記後加熱保持（Post-baking）でのフラッシュランプアニールの照射時間（1/3パルス幅）は、0.1 μ sec以上、好ましくは0.5～3 msecであるのが望ましい。

【0092】即ち、結晶化のフラッシュランプアニールでは、基体の耐熱性と所望の電子／正孔移動度（結晶粒径含む）等によりフラッシュ照射条件を設定するのが望ましい。石英ガラス、結晶化ガラス等の耐熱性ガラスの場合は、できるだけ長く照射時間を設定、例えば1.5～3 msecにすると、熔融シリコンが徐冷却されて結晶粒径が大きくなり、高い電子／正孔移動度の例えば結晶性シリコン薄膜等が得られる。

【0093】逆に、ほうけい酸ガラス、アルミノけい酸ガラス、強化ガラスなどの低歪点ガラスやポリイミドなどの耐熱性樹脂の場合は、基体のダメージ防止と所望の電子／正孔移動度（結晶粒径含む）とのバランスで照射エネルギー量（照射時間）設定、例えば0.5～1.5 msecにする必要がある。又、イオン活性化のフラッシュランプアニールでは、シリコンの非熔融状態（例えば700～1000℃）での加熱時間が良いので、できるだけ長く照射時間（例えば3 msec以上）を設定した方がよい。

【0094】本発明は更に、下記（a）～（r）の方法又は装置も提供するものである。

【0095】（a）画素表示部の能動素子及び受動素子領域と、周辺回路部の能動素子及び受動素子領域のそれぞれにおいて、錫等のIV族元素の少なくとも1種を含有するか或いは含有しない低級結晶性半導体薄膜の被照射面積及び形状を同等化するパターンニングを行った後に、前記基体の適当な予備加熱処理（Pre-baking）、補助加熱状態（Asist-baking）及び後加熱保持（Post-baking）でのフラッシュランプアニールを行ない、必要に応じて更にそれぞれの結晶化領域を所定の面積及び寸法にパターンニングする、電気光学装置の製造方法。

【0096】この方法において、フラッシュランプアニール時の低級結晶性半導体薄膜の結晶化レベルは、その膜厚と被照射面積に比例する。つまり、その膜厚が大きい程、又その面積が大きい程、フラッシュ照射光エネルギーの吸収が大きいので、結晶化が促進する。

【0097】従って、LCD、有機EL（エレクトロルミネセンス）等の表示用パネル内の結晶化レベルを均一化するためには、膜厚を同じにすると同時に、汎用リソグラフィ及びエッチングにより、画素表示部及び周辺回路部内の対象とする低級結晶性半導体薄膜の被照射面積及び形状を同等化することが必要である。例えば、画素表示部及び周辺回路部内のTFT領域を同等の面積と

し、周辺回路内のそれぞれのダイオード、抵抗等の領域をすべて同等の面積とする。更にこのフラッシュランプアニール後に、それぞれの結晶化領域を任意のTFT、ダイオード及び抵抗の面積及び形状にパターンニングすることが望ましい。

【0098】（b）画素表示部の能動素子及び受動素子領域よりも、周辺回路部のそれぞれの能動素子及び受動素子領域において錫等のIV族元素の少なくとも1種を含有するか或いは含有しない低級結晶性半導体薄膜の被照射面積及び形状を大きくパターンニングした後に、前記基体の適当な予備加熱処理（Pre-baking）、補助加熱状態（Asist-baking）及び後加熱保持（Post-baking）でのフラッシュランプアニールを行ない、必要に応じて更にそれぞれの結晶化領域を所定の面積及び寸法にパターンニングする、電気光学装置の製造方法。

【0099】プロジェクト用LCDパネルの場合は、強い入射光の漏れ光による画素表示用TFTリーク電流対策として、画素表示部の電圧駆動型TFTは低移動度のアモルファスシリコン膜又は微結晶シリコン膜、周辺回路部の電流駆動型TFTは高移動度の多結晶性シリコン膜又は単結晶性シリコン膜で構成するのが望ましい場合がある。

【0100】そこで、汎用リソグラフィ及びエッチングにより画素表示部のTFT領域よりも、周辺回路部のそれぞれのTFT、ダイオード及び抵抗領域の被照射面積及び形状を大きくパターンニングした後にフラッシュランプアニールすることにより、周辺回路部のそれぞれのTFT、ダイオード及び抵抗領域の低級結晶性半導体薄膜を高移動度の多結晶性シリコン膜又は単結晶性シリコン膜化し、画素表示部の低級結晶性半導体薄膜は低移動度のアモルファスシリコン膜又は微結晶シリコン膜化するのが望ましい。更にこのフラッシュランプアニール後に、それぞれの結晶化領域を所定のTFT、ダイオード及び抵抗の面積及び形状にパターンニングすることが望ましい。

【0101】（c）基体の所定の素子形成予定領域に所定形状及び寸法の段差付き凹部を形成し、或いは基体上に酸化性絶縁膜-1と窒化性絶縁膜-1と酸化性絶縁膜-2との積層膜（例えばSiO₂-1/SiN-1/SiO₂-2等）又は酸化性絶縁膜-1と窒化性絶縁膜-1と酸化性絶縁膜-2と窒化性絶縁膜-2との積層膜（例えばSiO₂-1/SiN-1/SiO₂-2/SiN-2等）を形成して前者の酸化性絶縁膜-2又は後者の窒化性絶縁膜-2の所定の素子形成予定領域に所定形状及び寸法の段差付き凹部を形成し、この凹部を含む前記基体上に錫等のIV族元素の少なくとも1種を含有するか或いは含有しない低級結晶性半導体薄膜、及び必要に応じて光反射低減及び保護用絶縁膜を積層し、前記基体の適当な予備加熱処理（Pre-baking）、補助加熱状態（Asist-baking）及び後加熱保持（Post-baking）での

フラッシュランプアニールにより、前記段差の底边角部をシードにグラフォエピタキシャル成長で少なくとも凹部内に単結晶性半導体薄膜を形成し、この単結晶性半導体薄膜表面をCMP (Chemical Mechanical Polishin
g) 又は選択的エッチング等して、アイランド化した所定の膜厚及び面積の単結晶性半導体薄膜を形成し、必要に応じて、高温熱酸化、低温高圧アニール（これには、後述する亜臨界水反応又は超臨界水反応も含まれる：以下、同様）、CVD等によりゲート絶縁膜又は絶縁保護膜を形成したSCSOS (Single Crystal Semiconduct
or (Silicon) On Substrate) 基板、例えばSCSOG (Single Crystal Semiconductor (Silicon) On Glass) 基板を作製する、半導体基板又は半導体装置の製造方法。

【0102】(d) 基体上に必要に応じて酸化性絶縁膜-1と窒化性絶縁膜-1と酸化性絶縁膜-2との積層膜（例えば $\text{SiO}_2-1/\text{SiN}-1/\text{SiO}_2-2$ 等）を形成し、その上に単結晶半導体（例えば単結晶シリコン等）と格子整合の良い物質層（例えば結晶性サファイア薄膜等）を形成し、この物質層上に、錫等のIV族元素の少なくとも1種を含有するか或いは含有しない低級結晶性半導体薄膜、及び必要に応じて光反射低減及び保護用絶縁膜を積層し、前記基体の適当な予備加熱処理（Pre-baking）、補助加熱状態（Asist-baking）及び後加熱保持（Post-baking）でのフラッシュランプアニールにより、前記物質層をシードにヘテロエピタキシャル成長で単結晶性半導体薄膜を形成し、この単結晶性半導体薄膜表面等をCMP又は選択的エッチング等することで所定の膜厚の単結晶性半導体薄膜を形成し、必要に応じて高温熱酸化、低温高圧アニール、CVD等によりゲート絶縁膜又は絶縁保護膜を形成したSCSOS基板、例えばSCSOG基板を作製する、半導体基板又は半導体装置の製造方法。

【0103】これらの(c)、(d)の方法において、作製した光反射低減及び保護用絶縁膜及び単結晶性半導体薄膜表面をCMP又は選択的エッチング等することにより、所望の膜厚及び面積の単結晶性シリコン薄膜を有するSCSOS、例えばSCSOG基板を作成できる。なお、これらの(c)、(d)の方法に共通して、このCMP又は選択的エッチング後に高温熱酸化、低温高圧アニール、CVD等によりゲート絶縁膜又は保護膜を形成して、MOSLSI (Large Scale Integration)、BiCMOSLSI、バイポーラLSI等を作製できる。

【0104】この時に、基体からの不純物汚染（Naイオンなど）防止のために、適当な膜厚の窒化性絶縁膜（窒化シリコン膜、酸窒化シリコン膜など）を基体全面に形成する必要がある場合があるが、この場合は、基体と窒化性絶縁膜の密着性向上のために、適当な膜厚の酸化性絶縁膜（酸化シリコン膜など）を基体と窒化性絶縁

膜の間に挿入する必要がある。

【0105】更に、この基体には、低歪点ガラス基板（ほうけい酸ガラス、アルミノけい酸ガラス、強化ガラスなど）、高歪点ガラス基板（合成石英ガラス、熔融石英ガラス、結晶化ガラスなど）、耐熱性樹脂基板（ポリイミドなど）、金属基板（鉄、銅、アルミニウム、ステンレス等の合金など）、セラミックス基板、高融点金属（チタン、タンタル、モリブデン、タングステン、それらの合金、例えばモリブデン-タンタル合金など）又は/及び金属シリサイド（ WSi_2 、 MoSi_2 、 TiSi_2 、 TaSi_2 、 CoSi 、 Pd_2Si 、 Pt_2Si 、 CrSi_2 、 NiSi 、 RhSi など）膜をコーティングした金属基板又は低歪点ガラス基板又は耐熱性樹脂基板又はセラミックス基板、シリコン基板、化合物半導体基板などが挙げられる。

【0106】(e) 上記(c)、(d)で作製した前記SCSOS基板、例えばSCSOG基板の前記単結晶性半導体薄膜内にイオン注入又はイオンドーピングしてn型又は/及びp型不純物領域（例えばソース/ドレイン、ソース/ゲートチャンネル/ドレインなど）を形成し、少なくとも赤外線低減又は赤外線遮断フィルタを使用し、前記基板の適当な予備加熱処理（Pre-baking）、補助加熱状態（Asist-baking）及び後加熱保持（Post-baking）でのフラッシュランプアニールにより、不純物イオンを活性化する、単結晶性半導体薄膜又は単結晶性半導体装置の製造方法。

【0107】(f) 結晶半導体（Si、SiGe、SiC、GaAsなど）基板、SOI (Silicon On Insulator) 基板などにおいて、単結晶半導体薄膜内にイオン注入又はイオンドーピングしてn型又は/及びp型不純物領域（例えばソース/ドレイン、ソース/ゲートチャンネル/ドレインなど）を形成し、少なくとも赤外線低減又は赤外線遮断フィルタを使用し、前記基板の適当な予備加熱処理（Pre-baking）、補助加熱状態（Asist-baking）及び後加熱保持（Post-baking）でのフラッシュランプアニールにより、不純物イオンを活性化する、単結晶半導体薄膜又は単結晶半導体装置の製造方法。

【0108】今後のシリコンMOSLSIの0.07 μm ノードでは、MOSトランジスタのソース・ドレインにおける接合深さは10~15nmと浅くなる。しかし、現在使われているタングステン-ハロゲンランプを使ったアニール（RTA; Rapid Thermal Anneal）技術では照射時間が数秒オーダーと長いため、n型又は/及びp型不純物が熱拡散し、浅い接合を形成することが難しく、接合深さ20nmが技術的な限界とされてきた。

【0109】しかし、本発明のフラッシュランプアニール、例えばキセノンフラッシュランプの照射時間は、例えば1~5msecの数ミリ秒オーダーでの非熔融状態の加熱によるイオン活性化が可能となつて、その限界を打破することが可能となり、深さ20nm以下の極浅接

合が実現できる。

【0110】しかしこのキセノンランプのフラッシュ照射光は、赤外線領域の800～1000nm波長で強いピークを有する発光スペクトルなので、この領域のバツキ大の強光吸収によるシリコン層の加熱温度にムラが生じて、n型又は／及びp型の注入不純物のイオン活性化及び熱拡散レベルもバツキ易く、更に浅い接合を均一に再現性良く形成するのが比較的難しい。そこで上記のように、前記基板の適当な予備加熱処理(Pre-baking)、補助加熱状態(Asist-baking)及び後加熱保持(Post-baking)での非熔融状態の加熱のフラッシュランプアニール時に、少なくとも赤外線低減又は赤外線遮断フィルタを使用して800～1000nm波長の強い発光ピーク領域を低減又はカットし、安定したフラッシュ発光領域である紫外線、又は紫外線及び可視光線等の照射によりシリコン層を制御した加熱を行えるようにして、n型又は／及びp型の注入不純物の熱拡散レベルを制御したイオン活性化を実現し、超極浅接合を形成することが可能となる。この時の予備加熱処理(Pre-baking)、補助加熱状態(Asist-baking)及び後加熱保持(Post-baking)条件は基板の材質等により任意に選択できるが、300～500℃が望ましい。

【0111】なお、SOI基板の製法にはSIMOX法(単結晶シリコン基板に酸素イオン注入し、1300～1400℃の融点ぎりぎりアニールしてSOI基板を作製する方法)、ウェーハ貼り合わせ法(貼り合わせ熱酸化させた単結晶シリコン基板の片面研磨でSOI基板を作製する方法)、SMART CUT法(熱酸化させた単結晶シリコン基板の一方に水素イオン注入し、貼り合わせ熱酸化後に水素イオン注入した単結晶シリコン層のみを残して剥ぎ取り、SOI基板を作製する方法)、ELTRAN法(多孔質シリコン基板上にエピタキシーシリコン成長及び熱酸化し、支持基板と貼り合わせ熱酸化させてウォータージェット分離し、選択エッチ及び水素アニール等によりSOI基板を作製する方法)等の様々な手法があるが、いずれも本発明に使用できるのは言うまでもない。

【0112】(g) 基体上のレーザー{近紫外線(UV)及び／又は遠紫外線(DUV)レーザー(例えばエキシマレーザー、非線形光学効果での光高調波変調された近紫外線(UV)及び／又は遠紫外線(DUV)レーザーなど)、可視光線レーザー、近赤外線及び／又は遠赤外線レーザーなど}アニールにより結晶化された多結晶性又は単結晶性半導体薄膜に、イオン注入又はイオンドーピングしてn型又は／及びp型不純物領域(例えばソース/ドレイン、ソース/ゲートチャンネル/ドレインなど)を形成し、少なくとも赤外線低減又は赤外線遮断フィルタを使用し、前記基体の適当な予備加熱処理(Pre-baking)、補助加熱状態(Asist-baking)及び後加熱保持(Post-baking)でのフラッシュランプアニールにより、不純物イオンを活性化する、多結晶性又は単結晶性半導体薄膜、又は多結晶性又は単結晶性半導体装置の製造方法。

【0113】(h) 基体上の固相成長により結晶化された多結晶性半導体薄膜に、イオン注入又はイオンドーピングしてn型又は／及びp型不純物領域(例えばソース/ドレイン、ソース/ゲートチャンネル/ドレインなど)を形成し、少なくとも赤外線低減又は赤外線遮断フィルタを使用し、前記基体の適当な予備加熱処理(Pre-baking)、補助加熱状態(Asist-baking)及び後加熱保持(Post-baking)でのフラッシュランプアニールにより、不純物イオンを活性化する、多結晶性半導体薄膜又は多結晶性半導体装置の製造方法。

【0114】(i) 基体上の集光ランプアニールにより結晶化された多結晶性又は単結晶性半導体薄膜に、イオン注入又はイオンドーピングしてn型又は／及びp型不純物領域(例えばソース/ドレイン、ソース/ゲートチャンネル/ドレインなど)を形成し、少なくとも赤外線低減又は赤外線遮断フィルタを使用し、前記基体の適当な予備加熱処理(Pre-baking)、補助加熱状態(Asist-baking)及び後加熱保持(Post-baking)でのフラッシュランプアニールにより、不純物イオンを活性化する、多結晶性又は単結晶性半導体薄膜、又は多結晶性又は単結晶性半導体装置の製造方法。

【0115】(j) 基体に、錫等のIV族元素の少なくとも1種を含有するか或いは含有しない低級結晶性半導体薄膜を形成する第1工程と、前記低級結晶性半導体薄膜にイオン注入又はイオンドーピングでn型又は／及びp型不純物領域(例えばソース/ドレイン、ソース/ゲートチャンネル/ドレインなど)を形成する第2工程と、前記基体にその至点以下の温度に加熱する予備加熱処理(Pre-baking)を行う第3工程と、前記基体をその至点以下の温度に加熱する補助加熱状態(Asist-baking)でのフラッシュランプアニールにより、熔融又は半熔融又は非熔融状態の加熱と冷却で前記低級結晶性半導体薄膜の結晶化及び不純物イオンの活性化を同時に行う第4工程と、前記基体をその至点以下の温度に冷却するまで後加熱保持(Post-baking)する第5工程とを有する、半導体薄膜又は半導体装置の製造方法。

【0116】(k) 基体に、錫等のIV族元素の少なくとも1種を含有するか或いは含有しない低級結晶性半導体薄膜を形成する第1工程と、前記基体をその至点以下の温度に加熱する予備加熱処理(Pre-baking)を行う第2工程と、前記基体をその至点以下の温度に加熱する補助加熱状態(Asist-baking)でのフラッシュランプアニールにより、熔融又は半熔融又は非熔融状態の加熱と冷却で前記低級結晶性半導体薄膜を結晶化する第3工程と、前記基体をその至点以下の温度に冷却するまで後加熱保持(Post-baking)する第4工程と、形成された多結晶性又は単結晶性半導体薄膜にイオン注入又はイオンドーピングしてn型又は／及びp型不純物領域(例えばソース/ドレイン、ソース/ゲートチャンネル/ドレインなど)を形成し、少なくとも赤外線低減又は赤外線遮断フィルタを使用し、前記基体の適当な予備加熱処理(Pre-baking)、補助加熱状態(Asist-baking)及び後加熱保持(Post-baking)でのフラッシュランプアニールにより、不純物イオンを活性化する、多結晶性又は単結晶性半導体薄膜、又は多結晶性又は単結晶性半導体装置の製造方法。

【0117】(l) 基体に、錫等のIV族元素の少なくとも1種を含有するか或いは含有しない低級結晶性半導体薄膜を形成する第1工程と、前記基体をその至点以下の温度に加熱する予備加熱処理(Pre-baking)を行う第2工程と、前記基体をその至点以下の温度に加熱する補助加熱状態(Asist-baking)でのフラッシュランプアニールにより、熔融又は半熔融又は非熔融状態の加熱と冷却で前記低級結晶性半導体薄膜を結晶化する第3工程と、前記基体をその至点以下の温度に冷却するまで後加熱保持(Post-baking)する第4工程と、形成された多結晶性又は単結晶性半導体薄膜にイオン注入又はイオンドーピングしてn型又は／及びp型不純物領域(例えばソース/ドレイン、ソース/ゲートチャンネル/ドレインなど)を形成し、少なくとも赤外線低減又は赤外線遮断フィルタを使用し、前記基体の適当な予備加熱処理(Pre-baking)、補助加熱状態(Asist-baking)及び後加熱保持(Post-baking)でのフラッシュランプアニールにより、不純物イオンを活性化する、多結晶性又は単結晶性半導体薄膜、又は多結晶性又は単結晶性半導体装置の製造方法。

ピングでn型又は／及びp型不純物領域（例えばソース／ドレイン、ソース／ゲートチャンネル／ドレインなど）を形成する第5工程と、少なくとも赤外線低減又は赤外線遮断フィルタを使用し、前記基体の適当な予備加熱処理（Pre-baking）、補助加熱状態（Asist-baking）及び後加熱保持（Post-baking）でのフラッシュランプアニールの非熔融状態の加熱により、不純物イオンを活性化する第6工程とを有する、半導体薄膜又は半導体装置の製造方法。

【0117】（1）基体上に、基体よりも高い熱伝導性及び電気伝導性で遮光性かつ光反射低減及び保護用絶縁膜と、低級結晶性半導体薄膜とを透過したフラッシュ照射光に対し、高吸収性又は高反射性を示す下地膜を形成し、その上に必要に応じて電気絶縁性で光透過性又は遮光性のバッファ膜を形成し、その上の少なくとも下地膜領域に、錫等のIV族元素の少なくとも1種を含有するか或いは含有しない低級結晶性半導体薄膜を形成し、更に必要に応じてその上に光反射低減及び保護用絶縁膜を形成し、前記基体の適当な予備加熱処理（Pre-baking）、補助加熱状態（Asist-baking）及び後加熱保持（Post-baking）でのフラッシュランプアニールでの熔融又は半熔融又は非熔融状態の加熱と冷却により、前記低級結晶性半導体薄膜の結晶化を促進する、半導体薄膜又は半導体装置の製造方法。

【0118】ボトムゲートTFT、バックゲートTFT、デュアルゲートTFTなどの場合、光反射低減及び保護用絶縁膜と低級結晶性半導体薄膜とを透過したフラッシュ照射光を吸収して加熱される高熱伝導性及び電気伝導性の、例えば着色系金属（クロム、銅など）、高熔点金属（チタン、タンタル、モリブデン、タングステン、それらの合金、例えばモリブデン-タンタル合金など）、金属シリサイド（ WSi_2 、 $MoSi_2$ 、 $TiSi_2$ 、 $TaSi_2$ 、 $CoSi$ 、 Pd_2Si 、 Pt_2Si 、 $CrSi_2$ 、 $NiSi$ 、 $RhSi$ など）が、下地膜として用いられる。この場合は、基体の温度上昇が比較的高いので、石英ガラス、結晶化ガラス等の高歪点（耐熱性）ガラスやセラミックスが基体の材料として適している。

【0119】又、光反射低減及び保護用絶縁膜と低級結晶性半導体薄膜を透過したフラッシュ照射光を反射する高熱伝導性及び電気伝導性の、例えば白色系金属（アルミニウム、アルミニウム合金（1%シリコン含有アルミニウムなど）、銀、ニッケル、プラチナなど）、白色系金属／高熔点金属積層膜（アルミニウム／モリブデンなど）などが、下地膜として用いられる。この場合は、基体の温度上昇が比較的低いので、ほうけい酸ガラス、アルミノけい酸ガラス、強化ガラス等の低歪点ガラスやポリミド等の耐熱性樹脂その他が基体の材料として適しているが、石英ガラス、結晶化ガラス等の高歪点（耐熱性）ガラスやセラミックス等も用いることができる。

【0120】また、フラッシュランプアニールで下地膜

と低級結晶性半導体薄膜が反応するのを防止するためにバッファ膜を設けるが、熔融した低級結晶性半導体薄膜と反応しないような材質で下地膜を形成した場合は、バッファ膜を省いてもよい。例えば、陽極酸化による絶縁膜で被覆したアルミニウム、高熔点金属（Mo-Ta合金など）等の下地膜では、新たなバッファ膜の形成は不要である。

【0121】バッファ膜としては、電気絶縁性の酸化シリコン膜、酸化シリコン膜、窒化シリコン膜、酸化シリコン／窒化シリコン積層膜、窒化シリコン／酸化シリコン積層膜、酸化シリコン／窒化シリコン／酸化シリコン積層膜などが用いられる。

【0122】基体に、ほうけい酸ガラス、アルミノけい酸ガラス等の低歪点ガラス、熔融石英ガラス、結晶化ガラス、更に耐熱性樹脂などを用いる場合は、基体からの不純物（Naイオンなど）拡散防止のために、窒化シリコン膜系、例えば酸化シリコン膜、窒化シリコン膜、酸化シリコン／窒化シリコン積層膜、窒化シリコン／酸化シリコン積層膜、酸化シリコン／窒化シリコン／酸化シリコン積層膜等を用いるのが望ましい。

【0123】フラッシュ照射時の下地膜上の低級結晶性シリコン薄膜は、その膜自身の照射光吸収による加熱と下地膜の加熱・蓄熱効果とにより熔融が進行し、熔融したシリコンが流出して下地膜上に多結晶性又は単結晶性シリコン薄膜が形成されにくい。そこで、下地膜領域上のみに低級結晶性半導体薄膜を形成することにより、熔融シリコンの流出を防止して下地膜領域上のみに多結晶性又は単結晶性シリコン薄膜を形成するのがよい。

【0124】また、前記下地膜は、錫等のIV族元素の少なくとも1種を含有するか或いは含有しない前記低級結晶性半導体薄膜と同等以上の面積で、一部が線状に突出した形状にパターンニングし、前記フラッシュランプアニールでの熔融又は半熔融又は非熔融状態の前記低級結晶性半導体薄膜を前記下地膜の前記突出形状部から熱放散させて結晶成長核を形成し、全体を任意な結晶方位で結晶化させるのがよい。

【0125】この場合は、線状に突出した部分が他の部分より熱放散が大きく、再結晶化のきっかけ（種、核）を作るので、全体を任意の結晶方位の大粒径多結晶性又は単結晶性半導体薄膜を形成することができる。

【0126】また、前記下地膜上の、錫等のIV族元素の少なくとも1種を含有するか或いは含有しない前記低級結晶性半導体薄膜を、前記下地膜と同等以下の面積で、前記下地膜の突出形状領域に微小突出した形状にパターンニングし、前記フラッシュランプアニールでの熔融又は半熔融又は非熔融状態の前記低級結晶性半導体の微小突出形状部を結晶成長の核として、全体を任意な結晶方位で結晶化させてよい。

【0127】この場合も、微小突出した部分が他の部分より熱放散が大きく、再結晶化のきっかけ（種、核）を

作るので、全体を任意の結晶方位の大粒径多結晶性又は単結晶性半導体薄膜を形成することができる。

【0128】また、前記下地膜は、線状に突出した部分を介して任意の電位（無電位、アース電位、TFTのゲート電位等）で使用されるのがよい。

【0129】また、前記フラッシュランプアニール時の光反射低減及び保護用絶縁膜は、少なくとも紫外線を透過する電気絶縁性膜であり、或いはゲート絶縁膜に用いてよい。

【0130】少なくとも紫外線を透過する電気絶縁性膜としては、例えば、酸化シリコン膜、窒化シリコン膜、酸窒化シリコン膜、酸化シリコン／窒化シリコン積層膜、窒化シリコン／酸化シリコン積層膜、酸化シリコン／窒化シリコン／酸化シリコン積層膜などがあり、またゲート絶縁膜としては、例えば、酸化シリコン膜、窒化シリコン膜、酸窒化シリコン膜、酸化シリコン／窒化シリコン積層膜、窒化シリコン／酸化シリコン積層膜、酸化シリコン／窒化シリコン／酸化シリコン積層膜などがある。

【0131】(m) 酸化性雰囲気中（空気、酸素、オゾン、水蒸気、NO、N₂O等）でのフラッシュランプアニールの溶融又は半溶融加熱と冷却により、錫等のIV族元素の少なくとも1種を含有するか或いは含有しない低級結晶性半導体薄膜を結晶化させるときに、この多結晶性又は単結晶性半導体薄膜の表面に同時に酸化系絶縁膜（酸化シリコン膜、酸窒化シリコン膜等）を形成し、この酸化系絶縁膜をゲート絶縁膜又は保護膜として使用する、半導体薄膜又は半導体装置の製造方法。

【0132】(o) フラッシュランプアニールにより形成された、低歪点ガラス又は高歪点ガラス又は耐熱性樹脂基板上の、錫等のIV族元素の少なくとも1種を含有するか或いは含有しない多結晶性又は単結晶性半導体薄膜に、0.1MPa以上で30MPa以下、常温以上で基板の歪点以下の温度の高圧低温の酸化性雰囲気中（空気、酸素、オゾン、水蒸気、NO、N₂O等）で酸化系絶縁膜（酸化シリコン膜、酸窒化シリコン膜など）を形成し、この酸化系絶縁膜をゲート絶縁膜又は保護膜として使用する、半導体薄膜又は半導体装置の製造方法。

【0133】上記(o)の方法においては、フラッシュランプアニールにより形成された低歪点ガラス基板又は高歪点ガラス基板又は耐熱性樹脂基板上の、錫等のIV族元素の少なくとも1種を含有するか或いは含有しない多結晶性又は単結晶性シリコン薄膜に、下記の高圧低温アニールの一環である亜臨界面水反応又は超臨界面水反応により酸化系絶縁膜を形成し、これをゲート絶縁膜又は保護膜に使用することが、下記の①～②に述べる効果からみて望ましい。

亜臨界面水反応：水の臨界面（374℃、22MPa）よりも温度、圧力の低い熱水（亜臨界面水）による反応。

超臨界面水反応：水の臨界面（374℃、22MPa）以

上の状態の超臨界面水による反応。

【0134】①この反応により、良質なゲート絶縁膜と良質な界面形成が可能となり、多結晶性又は単結晶性シリコン薄膜の結晶欠陥を低減し、TFTのV_{th}やS値が向上するとともに、TFTの歩留り及び信頼性が向上する。

【0135】②高温熱酸化（例えば1050℃、60分）でゲート絶縁膜（例えばSiO₂膜）を形成すると、TFT用の8"φ、約800μm厚の石英ガラスで100～150μmのウェーハ反りが発生し、このウェーハ反りにより、次の(i)～(h)の欠点が生じる。

(i) 真空吸着不良等のフォトリソグラフィ及びエッチング作業のトラブルが発生しやすい。

(ロ) 基板中央部と周辺部のフォーカスマラ発生で精度バラツキとなり、歩留り、品質の低下の問題が発生しやすい。

(ハ) TFT基板と対向基板との重ね合せで液晶ギャップコントロールが難しく、かつ液晶ギャップムラが多発し、光透過率及びコントラスト低下での歩留り、品質低下の問題となりやすい。

(ニ) 液晶駆動（TFT）基板の裏面キズが多発するので、裏面光学研磨が必要となり、コストアップとなる。

(ホ) 石英ガラスサイズが例えば8"φ→12"φと大きくなると、更にウェーハ反りが大きくなり、上記問題が更に大きくなり、歩留り、品質及び生産性低下となりやすい。

【0136】これに対して、上記(o)の方法では、高圧低温の亜臨界面水反応又は超臨界面水反応でゲート絶縁膜（例えばSiO₂膜）を形成するので、ウェーハ反りが解消して上記した各問題が解消し、歩留り、品質及び生産性向上による大幅なコストダウンが可能となる。

【0137】(p) フラッシュランプアニールにより形成された、高歪点ガラス基板上の、錫等のIV族元素の少なくとも1種を含有するか或いは含有しない多結晶性又は単結晶性半導体薄膜を酸化性雰囲気中（空気、酸素、オゾン、水蒸気、NO、N₂O等）で高温熱酸化することにより酸化系絶縁膜（酸化シリコン膜、酸窒化シリコン膜など）を形成し、この酸化系絶縁膜をゲート絶縁膜又は保護膜として使用する、半導体薄膜又は半導体装置の製造方法。

【0138】(q) フラッシュランプアニールにより形成された、高歪点ガラス基板上の光反射低減及び保護用絶縁膜付きの、錫等のIV族元素の少なくとも1種を含有するか或いは含有しない多結晶性又は単結晶性半導体薄膜を、酸化性雰囲気中（空気、酸素、オゾン、水蒸気、NO、N₂O等）で高温熱酸化することにより酸化系絶縁膜（酸化シリコン膜、酸窒化シリコン膜など）を形成し、この酸化系絶縁膜をゲート絶縁膜又は保護膜として使用する、半導体薄膜又は半導体装置の製造方法。

【0139】(r) フラッシュランプアニールにより形

成された、錫等のIV族元素の少なくとも1種を含有するか或いは含有しない多結晶性又は単結晶性半導体薄膜、及び絶縁膜の少なくとも一方を、常温～基板の歪点以下の温度、分圧13.33Pa以上で飽和蒸気圧以下の水の気体を含む雰囲気中での加熱工程（水蒸気中アニール）を経て改質する、半導体薄膜又は半導体装置の製造方法。

【0140】この方法においては、形成された絶縁膜中の欠陥や不純物に起因する正電荷を中性化し、負に寄ったフラットバンド電圧を0V側に近づけて絶縁膜の改質を行うために、常温～基板の歪点以下の温度、分圧13.33Pa以上で飽和蒸気圧以下の水の気体を含む雰囲気中での加熱工程（水蒸気中アニール）を行う。この時に、基板の材質及びサイズ、多結晶性又は単結晶性シリコン薄膜及び絶縁膜の膜厚及び膜質等により、例えば10～60分の加熱時間を設定する。

【0141】次に、本発明を好ましい実施の形態について更に詳細に説明する。

【0142】第1の実施の形態

図1～図33について、本発明の第1の実施の形態を説明する。

【0143】本実施の形態は、本発明をトップゲート型の多結晶性シリコンCMOS（Complementary MOS）TFTに適用したものである。

【0144】＜触媒CVD法とその装置＞まず、本実施の形態に用いる触媒CVD法について説明する。触媒CVD法においては水素系キャリアガスとシランガス等の原料ガスとからなる反応ガスを加熱されたタングステン等の触媒体に接触させ、これによって生成したラジカルな堆積種又はその前駆体及び活性化水素イオン等の水素系活性種に高いエネルギーを与え、基板上にアモルファスシリコン含有微結晶シリコン等の低級結晶性半導体薄膜を気相成長させる。

【0145】この触媒CVDは、図5～図6に示す如き装置を用いて実施される。

【0146】この装置によれば、水素系キャリアガスと水素化ケイ素（例えばモノシラン）等の原料ガス40（及び必要に応じて B_2H_6 や PH_3 、 SnH_4 などのドーピングガスも含む。）からなるガスは、供給導管41からシャワーヘッド42の供給口（図示せず）を通して成膜室44へ導入される。成膜室44の内部には、ガラス等の基板1を支持するためのサセプタ45と、耐熱性の良い（望ましくは触媒体46と同じか或いはそれ以上の融点を有する材質の）シャワーヘッド42と、例えばコイル状のタングステン等の触媒体46と、更には開閉可能なシャッター47とがそれぞれ配されている。なお、図示はしないが、サセプタ45と成膜室44との間には磁気シールが施され、また、成膜室44は前工程を行なう前室に後続され、ターボ分子ポンプ等でバルブを介して排気される。

【0147】そして、基板1はサセプタ45内のヒーター線等の加熱手段で加熱され、また触媒体46は例えば抵抗線として融点以下（特に800～2000℃、タングステンの場合は約1600～1800℃）に加熱されて活性化される。触媒体46の両端子は直流又は交流の触媒電源48に接続され、この電源からの通電により所定温度に加熱される。

【0148】触媒CVD法を実施するには、図5の状態で、成膜室44内の真空度を $1.33 \times 10^{-1} \sim 1.33 \times 10^{-6}$ Paとし、例えば水素系キャリアガス100～200SCCMを供給して、触媒体を所定温度に加熱して活性化した後に、水素化ケイ素（例えばモノシラン）ガス1～20SCCM（及び必要に応じて B_2H_6 や、 PH_3 等のドーピングガスも適量含む。）からなる原料ガス40を供給導管41からシャワーヘッド42の供給口43を通して導入して、ガス圧を0.133～13.33Pa、例えば1.33Paとする。ここで、水素系キャリアガスは、水素、水素+アルゴン、水素+ヘリウム、水素+ネオン、水素+キセノン、水素+クリプトン等の、水素に不活性ガスを適量混合させたガスであれば、いずれでもよい（以下、同様）。

【0149】そして、図6のようにシャッター47を開け、原料ガス40の少なくとも一部を触媒体46と接触して触媒的に分解させ、触媒分解反応又は/及び熱分解反応によって、高エネルギーをもつシリコン等のイオン、ラジカル等の反応種の集団（即ち、堆積種又はその前駆体及び水素系活性種など）を形成する。こうして生成したイオン、ラジカル等の反応種50を高いエネルギーで200～800℃（例えば300～400℃）に保持された基板1上にアモルファスシリコン含有微結晶シリコン等の所定の膜として気相成長させる。

【0150】こうして、プラズマを発生することなく、反応種に対し、触媒体46の触媒作用とその熱エネルギーによる高いエネルギーを与えるので、原料ガスを効率良く反応種に変えて、基板1上に均一に熱CVDで堆積することができる。

【0151】また、基板温度を低温化しても堆積種のエネルギーが大きいために、目的とする良質の膜が得られることから、基板温度を更に低温化でき、大型で安価な絶縁基板（ほうけい酸ガラス、アルミノけい酸ガラス等の低歪点ガラス基板、ポリイミド等の耐熱性樹脂基板等）を使用でき、この点でもコストダウンが可能となる。

【0152】また、勿論のことであるが、プラズマの発生がないので、プラズマによるダメージがなく、低ストレスの生成膜が得られると共に、プラズマCVD法に比べ、はるかにシンプルで安価な装置が実現する。

【0153】この場合、減圧下（例えば0.133～1.33Pa）又は常圧下で操作を行なえるが、減圧タイプよりも常圧タイプの方がよりシンプルで安価な装置

が実現する。そして、常圧タイプでも従来の常圧CVDと比べて密度、均一性、密着性のよい高品質膜が得られる。この場合も、減圧タイプよりも常圧タイプの方がスループットが大であり、生産性が高く、コストダウンが可能である。

【0154】上記の触媒CVDにおいて、触媒体46による輻射熱のために、基板温度は上昇するが、上記のように、必要に応じて基板加熱用ヒーター又は冷却手段51を設置してよい。また、触媒体46はコイル状（これ以外にメッシュ、ワイヤー、多孔板状もよい。）として、更にガス流方向に複数段（例えば2〜3段）として、ガスとの接触面積を増やすのがよい。なお、このCVDにおいて、基板1をサセプタ45の下面においてシャワーヘッド42の上方に配しているの、成膜室44内で生じたパーティクルが落下して基板1又はその上の膜に付着することがない。

【0155】＜フラッシュランプアニールとその装置＞図7には、フラッシュランプアニールを行う装置（アニーラー）が例示されている。これによれば、発光光線遮断用の外側筐体200内に配した同様の内側筐体201内（いずれもN₂パージされている。）には、キセノンガス等を封入した例えば10本のフラッシュランプ203を紫外線放射源とし、その背面側には反射ミラー204を設けて照射強度を増強させている。また、ランプ203と（低級結晶性シリコン薄膜付きの）絶縁性基板1との間に、レンズ、ミラー等で構成する集光整形機構（ここでは図示せず）により、照射する光210を線状（例えば（500〜600mm）×（1〜10mm））、長方形状（例えば（10〜100mm）×（200〜300mm））又は正方形状（例えば100×100mm）又は円形状（例えば100〜300mmφ）に集光整形してフラッシュ照射することにより、照射強度むらを低減し、熔融効率及びスループット向上での生産性向上を図ってもよい。基板1は、サセプタ208内のヒーター209によってその歪点以下に予め加熱される。反射部材（反射ミラー等）204の表面に微細な凹凸形状（プラスト加工、エッチングなど）を設けて、乱反射により反射光の照度均一化を図ってもよい。

【0156】そして、ランプ203と絶縁性基板1との間には銅粉末、鉄粉末、リン酸等の熱線吸収材を含有させたカラーフィルタガラス（熱線吸収フィルタ）又はITO膜等の赤外線反射膜をコーティングしたコールドミラー／コールドフィルタ、又は両者を組み合わせたフィルタ（例えば、熱線吸収フィルタに赤外線反射膜をコーティングしたフィルタ）などの少なくとも赤外線を遮断又は低減する熱線低減又は熱線遮断フィルタ205を設けて、基板温度上昇を低減させてもよい。筐体201の背面は、循環冷媒を通す例えば水冷パイプ207によって必要以上に温度上昇しないようにして、反射板204の反射機能の保持とランプ205の発光の安定化とを図

ってよい。

【0157】ランプ205は、後述のように、フラッシュ式放電機構で発生した高圧パルス印加すると、ランプ内部に封入されたキセノン等の気体が一瞬にして絶縁破壊を起こし、これが引き金となってコンデンサに蓄積された電気エネルギーが極めて短い時間（μsec〜msec）の間にランプ内に一挙に放出され、この時に強烈なアーク放電の閃光（フラッシュ）を放つ。この閃光が低級結晶性シリコン薄膜に吸収され、熱に変換されて熔融される。

【0158】このとき、ランプ205から照射される光210は例えば図8に示すスペクトル分布を有していて、低級結晶性シリコンの吸収波長（紫外線領域、約400nm以下）に対応した発光強度の波長を有している。なお、照射光210は、長波長成分をカットする等、後述の方法でスペクトル制御してもよいが、ある程度の長波長成分を含んでいると、これが基板1を加熱することにより徐冷却による大粒径化に寄与することがある。

【0159】例えば図25、図26は、本発明に基づくフラッシュランプアニールにより形成された多結晶性シリコン薄膜のSEM（走査電子顕微鏡）写真であるが、上記した数μmサイズの大粒径の多結晶シリコン粒が存在していることが分る。これについては、後で詳述する。

【0160】反射鏡204は例えば図9に示す凹面状（A）と平面状（B）のタイプがあるが、前者は集光レンズ211を介して帯状のフラッシュ照射を行う（照度の向上）のに適し、後者は光整形器（光ホモジナイザー）212を介して大面積の正方形状、長方形状等のフラッシュ照射（均一性の向上）を行うのに適している。このときも、必要に応じて前記の熱線低減又は遮断フィルタを介して所定方向へ投光してもよい。なお、この光整形器（光ホモジナイザーなど）に熱線反射膜をコートしてもよい。

【0161】例えば1000×1000mmのガラス基板1にフラッシュランプアニールする場合、下記（1）〜（3）の方法があり、適宜に選択してもよい。（1）図10の（1）に示すように、図7の例に対応して1000×1000mmの大面積を一括して1回又は必要回数繰り返してフラッシュ照射する。（2）図10の（2）に示すように、基板1を固定し、200×200mm正方形に集光整形したフラッシュ照射光210を、ガルバノメータスキャナで走査させ、同じ領域を1回又は必要回数繰り返して、必要に応じてオーバーラップスキャンしてフラッシュ照射する。（3）図11の（3）に示すように、200×200mm正方形に集光整形したフラッシュ照射位置を固定し、基板1をステップ&リピートで高精度にX-Y方向に移動させて、同じ領域を1回又は必要回数繰り返して、必要に応じ

てオーバーラップスキニングしてフラッシュ照射する。

【0162】尚、ガルバノメータスキニング及びステップ&リピートでフラッシュ照射する場合は、隣の領域へのフラッシュ照射光のクロストークによる結晶化バツキを低減するために、横方向の光漏れ防止のしゃへい板を設置し、基体とランプハウス（筐体）又は真空容器放射面の間隔をできるだけ小さく（例えば10mm以下と）するのが好ましい。

【0163】そして、このフラッシュランプアニール条件（ランプの発光波長、照射強度、照射時間、冷却速度等）は、低級結晶性シリコン膜厚、ガラス基板の耐熱温度、得られる結晶粒径（キャリア移動度）により、最適化を適宜決定してもよい。またこのフラッシュランプアニール時には、基板温度の均一化及び安定化による結晶化膜の均一化、結晶化膜及び基板ストレスの低減化、ランプ照射パワーの削減のために、ガラス基板1の歪み点以下の常温～500℃、好ましくは300～400℃にヒーター209や赤外線ランプ（ハロゲンランプ）等でガラス基板1を加熱するのがよい。

【0164】また、本発明に使用可能な紫外線光源ランプ203としては、フラッシュ式にかつ繰り返し発光させることができるものが望ましく、例えばキセノンランプ、キセノン水銀ランプ、キセノンクリプトンランプ、クリプトンランプ、クリプトン水銀ランプ、キセノンクリプトン水銀ランプ、メタルハライドランプなどの各種ランプを用いることができる。ランプを閃光的に発光させるためのフラッシュ式放電機構としては、図12に示すように、例えば、直流電源214、電荷を蓄積するためのコンデンサC、ランプ電源214とランプ203間の配線の持つインダクタンス、コンデンサCの内部インダクタンス、パルス幅調整用のインダクタンス等から形成されるインダクタンスLなどにより、放電ランプ回路が構成される。

【0165】例えば同一形状のランプを使用する場合は、コンデンサの充電電圧を高くして放電させると、放電時の電圧ピーク値が上がり、結果として、波長400nm以下の紫外線波長領域のスペクトル強度が相対的に増大する。また、コンデンサの充電電圧が一定の場合は、インダクタンスを小さくする程、1/3パルス幅が減少し、放電電流波形のピーク値が増大し、結果として波長400nm以下の紫外線波長領域のスペクトル強度が相対的に増大する。

【0166】大粒径（高キャリア移動度の多結晶化）促進と、上記したグラフォエピタキシャル又はヘテロエピタキシャル成長での単結晶性化促進のためには、シリコン溶融後に徐冷却するのが望ましいので、フラッシュランプアニール時のフラッシュ時間（パルス幅）やピーク値、ランプ発光の繰り返し速度及び頻度を適宜制御し、特に1/3パルス幅は長い程よく、例えば1ミリ秒以

上、好ましくは1.5ミリ秒以上が望ましい。なお、1/3パルス幅は低級結晶性半導体薄膜の製法、膜厚などによって随時変更するのが好ましい。

【0167】そして、ランプ203に流す放電電流のピーク値及びパルス幅、並びにランプ発光の繰り返し速度及び頻度を適宜調節できるようにする。この場合、ランプの接続方法には、例えば、

(1) 図12の(1)に示すように、直列接続された2本のランプ203をそれぞれのランプ電源214に接続し、合計4本のランプを並列に同期して発光させる。

(2) 図12の(2)に示すように、各ランプ203毎に電源214を設けてランプを同時に発光させる。

(3) 図12の(3)に示すように、直列接続されたランプ203を一つのランプ電源214に接続し、各ランプを同時に発光させる。

のいずれであってもよい。

【0168】このように複数のランプを使用する場合、複数のランプを同期させて発光させた方が効率が向上する。通常、ランプを発光させるためのトリガー回路（図12に示す）により複数のランプは同期してトリガーされ、複数のランプが同時に発光するようにした方がよい。トリガー回路によってトリガー電極を通じて例えば十数kVの高圧パルスを加えると、発光管内のキセノンガス中にトリガー電極に沿って細いストリーマが形成され、部分的な絶縁破壊を引き起こし、主放電はこの部分に沿って成長する（上述のシマー方式の点灯ではこのトリガー電極は無い）。

【0169】例えば、図13の(1)に示すフラッシュランプ構造では、例えば直径10mm、長さ150mmの直管型発光管215の両端近傍に一对の電極216、217が対向配置され、発光管の外壁にトリガーワイヤ218等のトリガー電極組立体が例えば巻回して配設されている。このような構造のみならず、図13の(2)に示すように、例えば縦150×横100×高さ10mmの平行平板型発光管219の両端近傍に一对又は複数対の電極216、217が対向配置され、発光管の外壁に、透明導電膜（ITO（Indium Tin Oxide）、ZnOなど）からなるトリガー電極薄膜パターン（又はトリガー電極組立体）220が配設された構造としてもよい。このときに、発光管壁面（内側又は外側又は双方）を微細凹凸加工（ブラスト、エッチングなど）することにより、フラッシュ照射光の照度均一化を図ってもよい。さらに、この平行平板型発光管の場合、複数のそれぞれの陽極216及び陰極217と各トリガー金属線（又はトリガー電極薄膜パターン）220の間隔が同じ距離となるように、位置的に対応して設けるのが望ましい。

【0170】こうした平行平板型（直方体）発光管219は、例えば縦150×横100×高さ10mmの平行平板型発光管の両端近傍に一对又は複数対の電極216、217が対向配置され、発光管の外壁にトリガー電

極組立体（又はトリガー電極薄膜パターン）220が配設された構造であるので、フラッシュ照射面積の拡大と共に、放電の均一化によるフラッシュ照射光の照度均一化を図れる。また、各電極216、217を同時又は個別に動作可能であり、例えば破壊した部分があっても他の電極を正常動作させることにより、放電強度の維持、寿命、コスト面で有利となる。また、さらに平行平板型発光管及び直管型発光管の場合に、発光管壁面（内側又は外側又は双方）を微細凹凸加工（ブラスト、エッチングなど）することにより、フラッシュ照射光の照度均一化が向上する。

【0171】そして、発光管外壁の微細凹凸加工を追加すると、フラッシュ照射光の照度均一化、透明導電性被膜の密着性が改善され、バネ性のあるらせん状の金属線の密着性も改善されるので、安定した発光と長寿命が可能となる。例えば縦150×横100×高さ10mmの平行平板型発光管220は、長さ150mm×直径10mmの直管型発光管の複数本分（例えば10本分）の照射面積であるにもかかわらず、トータルとして低い消費電力で同等以上のフラッシュ照射を行えるので、効率が良く、安価で交換頻度が少なく、コストダウンが実現する。

【0172】この時に、平行平板型発光管の投光面の反対面側に、透明電極性被膜又は金属被膜をパターンングしてトリガー電極線を並列に設けることにより、複数対の電極間の放電ばらつきを低減するので、安定した発光と長寿命化が可能となる。

【0173】発光管後方に冷却した反射部材を設けると、使用中に高温にならないので、反射部材の機能が劣化せず、ランプの動作が安定化し、また余計なガスを放出させて外囲器内部の雰囲気を変化させることがないので、安定した発光と長寿命化が可能となる。尚、発光管及び反射部材をファン等により空冷したり、または循環させた純水（又は超純水）で水冷させてもよい。

【0174】＜触媒CVD（又はプラズマCVDなど）とフラッシュランプアニールの連続処理＞コンタミ防止、生産性向上の面から、低級結晶性半導体薄膜形成工程又は手段（プラズマCVD、触媒CVD、スパッタなど）と、フラッシュランプアニール又はアニールとを一体化した装置とし、例えばインライン（連続チャンバ）方式（リニア型、回転型）、マルチチャンバ方式、クラスタ方式などによって連続的に若しくは順次に行うことが好ましい。

【0175】次の（1）又は（2）のクラスタ方式がより好ましい。

（1）例えば、図14に示すように、CVD部で低級結晶性半導体薄膜を形成した後、アニール部のフラッシュランプアニールで結晶化し、これをCVD部に戻してその上に低級結晶性半導体薄膜を形成し、再びアニール部のフラッシュランプアニールで結晶化を行う工程を

繰り返すクラスタ方式一体化装置としてよい。図15

（A）は、これをインライン方式としたものである。

【0176】（2）また、図16に示すように、CVD-1部で下地保護膜（酸化シリコン/窒化シリコン積層膜等）を形成し、CVD-2部で低級結晶性半導体薄膜を形成した後、必要に応じてイオンドーピング/イオン注入部でIV族元素を適量添加してから、アニール部のフラッシュランプアニールで結晶化し、更にCVD-3部でゲート絶縁膜（酸化シリコン膜等）形成の作業を連続するクラスタ方式一体化装置としてもよい。図15

（B）は、これをインライン方式としたものである。

【0177】なお、CVD-1部で形成する酸化シリコン/窒化シリコン積層膜等は、トップゲート型MOSTFTの下地保護膜、又はボトムゲート型MOSTFTのボトムゲート絶縁膜兼保護膜となるものであってよく、またCVD-3部で形成する酸化シリコン膜又は酸化シリコン/窒化シリコン積層膜等は、トップゲート型MOSTFTのゲート絶縁膜、又はボトムゲート型MOSTFTの保護膜となるものであってよい。

【0178】また、上記のCVDは触媒CVD、プラズマCVD、TEOS系プラズマCVD等であってよく、またこの代りにスパッタでもよい。CVDでは、成膜前にプラズマ又は触媒AHA処理するのがよい。例えば、プラズマCVDによる成膜前に、原料ガスを流さないで水素系キャリアガスのみでプラズマAHA処理して発生した水素系活性種（活性化水素イオン等）の作用により、形成された多結晶性シリコン薄膜表面のコンタミ（低級酸化膜、水分、酸素、窒素、炭酸ガス等）を除去して界面をクリーニングし、残存するアモルファスシリコン成分をエッチングして高結晶化率の多結晶シリコン薄膜化させると、この下地層をシードとして、クリーンな界面上に積層する低級結晶性シリコン薄膜は、次のフラッシュランプアニールにより良好な結晶の大粒径多結晶性又は単結晶性半導体薄膜として積層形成される。

【0179】なお、酸化及び窒化防止のために、フラッシュランプアニールを減圧水素又は減圧水素系ガス雰囲気中又は真空中で行うのがよい。水素、又は水素と不活性ガス（アルゴン、ヘリウム、クリプトン、キセノン、ネオン、ラドン）との混合ガスであり、ガス圧は1.33Pa以上で大気圧未満、好ましくは133Pa～4×10⁴Paであり、真空度は1.33Pa以上で大気圧未満、好ましくは13.3Pa～1.33×10⁴Paである。但し、低級結晶性半導体薄膜表面に絶縁性保護膜（酸化シリコン膜又は窒化シリコン膜又は酸窒化シリコン膜又は酸化シリコン/窒化シリコン積層膜など）がある場合、又は連続作業でない場合は、空气中、大気圧窒素中でもよい。

【0180】なお、触媒CVD及びフラッシュランプアニールはいずれも、プラズマの発生なしに行えるので、プラズマによるダメージがなく、低ストレスの生成膜が

得られ、またプラズマCVD法に比べ、シンプルで安価な装置を実現できる。

【0181】また、上記したフラッシュランプアニールにおいて、下記に示すような種々の改良を加えることができる。

【0182】空気又は大気圧窒素中でのキセノンランプのフラッシュ照射時は、いわゆる雷と同様に結晶化に利用する閃光と不要な衝撃音が発生する。このため、遮光及び防音対策として、図17(A)に示すように、ランプ203を密閉型真空容器201内に收容し、ランプ203及び反射部材204をスプリング230を介して真空容器201に取り付けた構造とする。スプリング230以外の緩衝材も使用可能である。

【0183】この場合、図17(B)に示すように、ランプハウスである下方向照射型の真空容器201は固定し、低級結晶性シリコン薄膜付き基体1を高精度ステップ&リピート動作させてフラッシュ照射する。固定された複数のランプハウス201に対して、基体1がインラインで移動してフラッシュ照射してよい。尚、この時に、基体を固定し、下方向照射型真空容器201を高精度ステップ&リピート動作でフラッシュ照射してもよい。

【0184】但し、クラスタ方式等の一体型装置の場合は、ランプ及び反射部材等からなるランプハウスと基体が同一の真空容器中に收容されてフラッシュ照射されるので、元々遮光され且つ衝撃音が低減されている。

【0185】フラッシュランプアニールは、固定した時間幅でフラッシュ照射する以外にも、時間差を設けてスイッチング手段によってフラッシュ照射をコントロールしてもよい。

【0186】図23には、上記の如く時間差を設けてスイッチング手段によりフラッシュ照射するのに用いる充放電回路の構成例を示す。

【0187】ここでキセノンフラッシュランプ203の接続は次の3通りがある。

①複数の個を互いに直列接続してそれぞれの電源に接続する。

②各ランプ毎に電源を設ける。

③全ランプを直列接続して共通の電源に接続する。

このとき、複数のランプは同期してトリガされ、複数のランプが同時に発光される。

【0188】そして、時間差を設けて開閉が行われるスイッチング手段によって次のように制御する。

①最初にSW₁がONされると、高圧パルス発生回路で発生させた波高値数kV～数十kVの高圧パルスがトリガー電極に印加され、同時に連動してSW₁'がONされる。トリガー電極に沿ってフラッシュランプ内壁にストリーマが形成され、これに沿ってランプ内部に封入された気体(キセノン)が一瞬にして絶縁破壊を起こし、これが引き金となって充電用コンデンサC₁に蓄積され

た電気エネルギーが極めて短い時間にランプ内に一挙に放出され、この時に強烈な閃光(フラッシュ)を放つ。

②所定時間の経過の後、次にSW₂とSW₂'がONされて、C₂によりフラッシュ照射される。

③所定時間の経過の後、次にSW₃とSW₃'がONされて、C₃によりフラッシュ照射される。

【0189】SW₁とSW₁'、SW₂とSW₂'、SW₃とSW₃'はフラッシュ直後にOFFとなる。そして、放電の終了とほぼ同時に、直流電圧電源側から充電用コンデンサに対して充電が開始される。充電に要する時間は、充電用コンデンサと充電電流抑制抵抗の積によって求まる時定数τに関係する。この時定数τと放電時間tの関係は、一般にτ≫tである。尚、フラッシュ照射の際のフラッシュ照射エネルギーEは、 $E = (1/2) \times C \times V^2$ (J)として求められる(但し、Cは放電用コンデンサ(μF)、Vは印加電圧(V)である)。

【0190】図18の(a)に示すように、各1回のフラッシュ照射でステップ&リピート動作させる場合、ガラス基板1内の照射面積を9分割し、それぞれに対し図示したシーケンスで照射する。

【0191】このように、各1回のフラッシュ照射で基板をステップ&リピート動作させる場合の前提として、例えば次の(1)～(3)とする。

【0192】(1) 1m×1mガラス基板に低級結晶性シリコン薄膜(50nm厚)が形成され、その表面に保護及び反射低減用酸化シリコン膜(10～50nm厚)が形成されていること。そして、能動素子(MOSTFET、ダイオードなど)と受動素子(抵抗、容量など)の領域にアイランド化されていること。

【0193】(2) このガラス基板内の照射面積を9分割し、330×330mmの照射面積を有するフラッシュ照射光を各エリア内に各1回ずつ照射すること。

【0194】(3) 充電用コンデンサの充電時間を20秒、基板のステップ&リピートタクトを10秒未満と仮定すること。

【0195】この時に、図23に示す放電回路を用いて、次の(a)～(d)のように動作させる。

【0196】(a) トリガースイッチSW₁と放電スイッチSW₁'をON→OFFして、放電用コンデンサC₁により照射エリア①を1回フラッシュ照射すると同時に、放電用コンデンサC₁を充電する。

【0197】(b) この直後に基板を移動して、照射位置に照射エリア②をセットし、トリガースイッチSW₂と放電スイッチSW₂'をON→OFFして、照射エリア②を放電用コンデンサC₂により1回フラッシュ照射すると同時に、放電用コンデンサC₂を充電する。

【0198】(c) この直後に基板を移動して、照射位置に照射エリア③をセットし、トリガースイッチSW₃と放電スイッチSW₃'をON→OFFして、照射エリア③を放電用コンデンサC₃により1回フラッシュ照射

すると同時に、放電用コンデンサ C_3 を充電する。

【0199】(d) この直後に基板を移動して、照射位置に照射エリア⑥をセットし、トリガースイッチ SW_1 と放電スイッチ SW_1' をON→OFFして、照射エリア⑥を充電終了した放電用コンデンサ C_1 により1回フラッシュ照射すると同時に、放電用コンデンサ C_1 を再び充電する。

【0200】以上の動作を繰り返して、1m×1mガラス基板内をフラッシュランプアニールする。従って、放電用コンデンサの充電時間が短ければ、更に生産性が向上することは言うまでもない。但し、低級結晶性半導体薄膜、例えばアモルファスシリコン膜の融点(約1200℃:CVD、スパッタなどの成膜方法により若干変動する。)付近をピーク値 P の3/4 P と仮定している。従って、例えばピーク値 P が低い場合は、4/5パルス幅等に変化することがある。

【0201】従来のDVD貼合わせ等に使用されているフラッシュ照射では、放電電流のピーク値(P)と1/3パルス幅(1/3 P)又は1/2パルス幅(1/2 P)などを管理しているが、本発明においては、低級結晶性半導体薄膜の熔融および冷却では、例えばアモルファスシリコン膜の融点(約1200℃)を越えたピーク値とできるだけ長い熔融時間及び冷却時間が、大粒径化、高結晶率化にとって必要である。従って、本発明では、放電電流のピーク値(P)とパルス幅の管理を次のように行うことが望ましい。

【0202】従来 : ピーク値と1/3パルス幅(又は1/2パルス幅)

本発明 : (1) ピーク値と1/3パルス幅(又は1/2パルス幅)

(2) ピーク値と1/3パルス幅(又は1/2パルス幅)と2/3パルス幅(又は3/4パルス幅)

(3) ピーク値と2/3パルス幅(又は3/4パルス幅)

但し、3/4パルス幅は例えばアモルファスシリコン膜の融点付近であり、ピーク値が低い場合は4/5パルス幅等に変動することになる。

SW_1/SW_1' ON→OFF

0.5 msec以内に SW_2/SW_2'

0.5 msec以内に SW_3/SW_3'

【0210】また、放電電流波形は、図20に示すように、1回のフラッシュ照射時の放電電流の波形タイプを各種に制御することができる。

【0211】図中の①は、図19と同じであり、一般的な急峻な立ち上がりの波形と比較的急峻な立ち下がりの波形からなっている。また、②は、放電回路(C 、 L 、 R 等)の調整により、緩やかな傾斜の立ち上がり波形及び立ち下がりの波形であり、プレヒート及び徐冷却効果により大粒径、高結晶化率の多結晶性又は単結晶性半導体薄膜が形成される。更に③は、放電回路(C 、 L 、 R

*【0203】フラッシュ照射条件の管理は、照射エネルギー $E=(1/2)CV^2$ (J)を構成する印加電圧 V と充電用コンデンサ C とインダクタンス L で決まる放電電流のピーク値 P と、下記のパルス幅(時間幅)となる。

【0204】 $\tau_1=1/3$ パルス幅は、入力電流波形がゼロから立ち上がってピーク値の1/3となり、しかる後に再びピーク値の1/3に減衰する時間幅であり、本発明では1.5msec以上が好ましい。

【0205】 $\tau_2=1/2$ パルス幅は、入力電流波形がゼロから立ち上がってピーク値の1/2となり、しかる後に再びピーク値の1/2に減衰する時間幅であり、本発明では1.0msec以上が好ましい。

【0206】 $\tau_3=2/3$ パルス幅は、入力電流波形がゼロから立ち上がってピーク値の2/3となり、しかる後に再びピーク値の2/3に減衰する時間幅であり、本発明では0.8msec以上が好ましい。

【0207】 $\tau_4=3/4$ パルス幅は、入力電流波形がゼロから立ち上がってピーク値の3/4となり、しかる後に再びピーク値の3/4に減衰する時間幅であり、本発明では0.5msec以上が好ましい。なお、この3/4パルス幅は、低級結晶性半導体薄膜の融点付近とする。

【0208】他方、同一領域を数回繰り返してフラッシュ照射する場合は、図19の(b)に示すように行う。

【0209】例えば、アモルファスシリコン膜の融点(アモルファスシリコン膜の成膜条件によって若干異なるが、約1200℃)が3/4パルス幅と仮定すると、 C_1 の放電により P (ピーク値)と、 τ_{11} の熔融時間が維持され、 τ_{11} 時間が経過する直前の C_2 の放電により τ_{12} の熔融時間が維持され、 τ_{12} 時間が経過する直前の C_3 の放電により τ_{13} の熔融時間が維持され、トータルとして $\tau_0=\tau_{11}+\tau_{12}+\tau_{13}$ (例えば1.5=0.5+0.5+0.5msec)の熔融時間が維持された後に、徐冷却しながら結晶化していく(このシーケンスは下記に示す)。従って、このときは $C_1 \geq C_2 \geq C_3$ であり、印加電圧は $E_1 \geq E_2 \geq E_3$ となる。

τ_{11}

ON→OFF τ_{12}

ON→OFF τ_{13}

等)の調整により、②よりもさらに緩やかな傾斜の立ち上がり波形及び①と同様な比較的急峻な立ち下がりの波形であり、プレヒート効果(結晶化の均一性向上)で均一な多結晶性半導体薄膜又は単結晶性半導体薄膜が形成される。

【0212】次に、図21には、フラッシュ照射でプレヒートする場合を示し、 C_1 の放電により τ_{11} (2/3パルス幅)のプレヒート時間を維持し、 C_2 の放電により τ_{12} (3/4パルス幅)の熔融時間を維持し、 C_3 の放電により τ_{13} (3/4パルス幅)の熔融時間を維持す

る。このときは $C_1 < C_2 \leq C_3$ であり、印加電圧は $E_1 < E_2 \leq E_3$ となる。このプレヒートにより、結晶化の均一性が向上し、均一な特性の多結晶性又は単結晶性半導体薄膜が形成される。

【0213】ここで、 τ_{31} ：充電用コンデンサ C_1 の放電による放電電流がゼロから立ち上がって $\tau_{41} \approx \tau_{42}$ のピーク値の $3/4$ （融点）の $2/3$ 以上～ $3/4$ 未満となり、融点未満のしかる後に、再び $2/3$ 以上～ $3/4$ 未満に減衰するまでの時間幅（パルス幅）。

【0214】 τ_{41} ：充電用コンデンサ C_2 の放電による放電電流がゼロから立ち上がってピーク値の $3/4$ となり、しかる後に、再び $3/4$ に減衰するまでの時間幅（パルス幅）。

【0215】 τ_{42} ：充電用コンデンサ C_3 の放電による放電電流がゼロから立ち上がってピーク値の $3/4$ となり、しかる後に、再び $3/4$ に減衰するまでの時間幅（パルス幅）。

【0216】図22には、フラッシュ照射で徐冷却する場合を示し、 C_1 の放電により τ_{41} の溶融時間を維持し、 C_2 の放電により τ_{32} の後加熱時間を維持し、 C_3 の放電により τ_{33} の後加熱時間を維持する。 τ_{41} （ $3/4$ パルス幅）、 τ_{32} 及び τ_{33} （ $2/3$ パルス幅）について、 $C_1 > C_2 \leq C_3$ で、 $E_1 > E_2 \leq E_3$ となる。この徐冷却により、大粒径で高結晶化率の多結晶性又は高単結晶性半導体膜が形成される。

【0217】ここで、 τ_{41} ：充電用コンデンサ C_1 の放電による放電電流がゼロから立ち上がってピーク値の $3/4$ （融点）となり、しかる後、再び $3/4$ に減衰するまでの時間幅（パルス幅）。

【0218】 τ_{32} ：充電用コンデンサ C_2 の放電による放電電流がゼロから立ち上がって τ_{41} のピーク値の $3/4$ ＊

<評価サンプルAの作製条件>

基板	: 石英ガラス 20×20×0.7mm
低級結晶性半導体薄膜	: RFプラズマCVDによるアモルファスシリコン膜 (200nm厚)
フラッシュランプアニール条件	: 照射エネルギー約20J/cm ² (相対値) 印加電圧約2500V、1/3パルス幅1.5msec、ランプと基板間距離50mm、大気圧N ₂ 中、基板温度350℃
ホール素子パターン	: 5×5mm、2×2mm、1×1mmの4隅にAl電極形成 (測定端子)
イオン注入及び活性化処理	: リンイオン10keV、 3×10 ¹⁴ atoms/cm ² のドーズ量、 550～580℃、30分アニール

【0223】<ホール効果の原理>ホール効果というのは、試料に電界と磁界が互いに垂直にかけられたとき、それらの電界と磁界双方に垂直な方向にキャリアが動くことによって起電力が発生することを言う。この効果を用いた測定法がホール測定であり、試料中のキャリアの種類、密度（正孔又は電子の密度）、移動度が非常に簡

* 4（融点）の $2/3$ 以上～ $3/4$ 未満となり、 $3/4$ （融点）未満のしかる後に、再び $2/3$ 以上～ $3/4$ 未満に減衰するまでの時間幅（パルス幅）。

【0219】 τ_{33} ：充電用コンデンサ C_3 の放電による放電電流がゼロから立ち上がって τ_{41} のピーク値の $3/4$ （融点）の $2/3$ 以上～ $3/4$ 未満となり、 $3/4$ （融点）未満のしかる後に、再び $2/3$ 以上～ $3/4$ 未満に減衰するまでの時間幅（パルス幅）。

【0220】次に、フラッシュランプアニール時に、図24に示すように、低級結晶性シリコン薄膜7Aの表面を酸化シリコン膜又は窒化シリコン膜又は酸窒化シリコン膜又は酸化シリコン/窒化シリコン積層膜又は酸化シリコン/窒化シリコン/酸化シリコン積層膜等の絶縁性保護膜235で被覆し、この状態でフラッシュランプアニールを行うと、そのように被覆された場合には目的とする多結晶性シリコン薄膜7が確実に形成される。しかし、被覆されない場合は、溶融したシリコンが飛散したり、表面張力によりシリコン粒が残存し、多結晶性シリコン薄膜が形成されないことがある。尚、この時、プラズマCVD等によるアモルファスシリコン薄膜は多結晶性シリコン薄膜が形成されやすく、減圧CVDや触媒CVD等による微結晶含有アモルファスシリコン薄膜、アモルファスシリコン含有微結晶シリコン薄膜等の結晶核（シード）が存在する場合に大粒径多結晶性又は単結晶性シリコン薄膜が形成されやすい。

【0221】ここで、本発明のフラッシュランプアニールで形成した多結晶性シリコン薄膜のホール効果キャリア移動度を評価し、更にSEMによる多結晶粒径、ラマン分光特性による結晶性を評価した。

【0222】

単に評価できる。

【0224】<ホール効果測定>

測定器 : Bio-Rad HL5500 Hall System

評価条件 : I-means : 10μA DC、室温、磁界 : 0.320 Tesla、Targ. V : 20mV

【0225】<測定値>

シート抵抗 $R_s = 619 \Omega / \text{cm}^2$ 、抵抗率 $R = 0.0124 \Omega \cdot \text{cm}$

電子不純物濃度 $N = 7.68 \times 10^{18} \text{ atoms/cm}^3$

ホール効果電子移動度 $\mu_e = 65.7 \text{ cm}^2 / \text{V} \cdot \text{s}$

【0226】この結果によれば、同一条件で評価したときのXeClエキシマレーザーアニール法による多結晶シリコン薄膜のホール効果電子移動度 $\mu_e = 40 \sim 45 \text{ cm}^2 / \text{V} \cdot \text{s}$ に対して、本発明のフラッシュランプアニール法による多結晶性シリコン薄膜のホール効果電子移動度 $\mu_e = 65.7 \text{ cm}^2 / \text{V} \cdot \text{s}$ であり、約1.5倍の高いキャリア移動度が得られた。このフラッシュランプアニール条件の最適化によって、更に大きな結晶粒*

<評価サンプルB、Cの作製条件>

基板 : ほうけい酸ガラス基板 $20 \times 20 \times 0.7 \text{ mm}$
 低級結晶性半導体薄膜 : RFプラズマCVDによるアモルファスシリコン膜 (50 nm 厚)
 保護用絶縁膜 : 酸化シリコン膜 (50 nm 厚) (但し、領域の半分は保護用絶縁膜を除去し、酸化シリコン膜のある部分をサンプルB、ない部分をサンプルCとする。)

フラッシュランプアニール条件 : 照射エネルギー 約 20 J/cm^2 (相対値)

印加電圧 約 2500 V 、

1/3パルス幅 1.5 msec 、

ランプと基板間距離 50 mm 、空気中、

基板温度 350°C

【0230】サンプルBについてのSEM観察 ($\times 5000$) では、図26に示すように、保護及び反射低減用酸化シリコン膜を被覆したため (図24参照)、フラッシュランプアニール時の熔融したシリコンが保護及び反射低減用酸化シリコン膜とガラス基板間に閉じ込められ、任意の結晶核をシードに結晶化しているために、ほぼ 50 nm 厚で $3 \sim 8 \mu\text{m}$ と大粒径の多結晶性シリコン薄膜がアイランド状に形成されている。

【0231】また、図29に示すように、ラマン散乱分光法の顕微測定によれば、サンプルB (保護及び反射低減用酸化シリコン膜を被覆している) は、 $3 \sim 8 \mu\text{m}$ と大粒径の多結晶性シリコン薄膜が形成されており、このため、単結晶シリコンに比べて遜色ない結晶性の多結晶性シリコン薄膜が得られている。

【0232】また、サンプルCについてのSEM観察では、図27に示すように、保護及び反射低減用酸化シリコン膜がないために (図24参照)、フラッシュランプアニール時の熔融したシリコンが一部飛散したり、又表面張力により任意の形状で固化し、数十 μm サイズのシリコン粒 (塊) が形成されている。

【0233】また、図30に示すように、ラマン散乱分光法の顕微測定によれば、サンプルC (保護及び反射低減用酸化シリコン膜がない) は、数十 μm サイズの任意の形状のシリコン粒 (塊) が形成されており、これは単

* 径と高いキャリア移動度が可能である。

【0227】また、図25に示すSEM観察 ($\times 5000$) では、サンプルAの多結晶性シリコンを含む粒子は数 μm と比較的大きいことが判明した。

【0228】更に、図28に示すように、ラマン散乱分光法 (Arレーザー (波長 514.53 nm)、ビーム径 $1 \mu\text{m}$ φ、単結晶シリコンと比較 : 以下、同様) の顕微測定によれば、サンプルAは単結晶シリコンに比べて遜色ない結晶性が得られているが、粒径/粒界/応力などの微妙な構造の違いが反映され、ラマンスペクトルが低波数側 (アモルファスシリコン側) に若干シフトしている。

【0229】

結晶シリコンにほぼ近似の結晶性である。

【0234】なお、上記のラマンスペクトルによるラマン散乱分光法は次のような特長を有する。

測定原理 : 物質に励起 (レーザー) 光を照射した際の非弾性散乱 (ラマン散乱) 光を検出する。励起光が物質中の種々の素励起と相互作用するときの波長変化を分光することにより、物質の原子/分子/電子構造に関する様々な情報を引き出す。

特徴 : 目的箇所 ($> 1 \mu\text{m}$ φ) の物質の情報が非破壊で得られる。

得られる情報 : 固体 (結晶/アモルファス) 中の種々の素励起のエネルギー結晶の対称性及び均一性に関する情報。

【0235】そして、図28や図29に示したように、得られるラマンスペクトルは、非対称に広がりを持ったピークが現れているが、この形状の違いはシリコン薄膜の粒径/粒界/応力などの微妙な構造の違いを反映したものであり、電気的な特性とも密接なつながりを持っている。このような関係をもとにして、逆にpoly-Si TFTに最も適した形状のSi:TO-phonon peakが得られる作製条件を見つけ出し、プロセスの最適化につなげて行くことができる。

【0236】また、フラッシュランプアニールによる低級結晶性半導体薄膜の結晶化処理時に、磁場又は電場、

又は磁場及び電場を印加し、この作用下でアニールを行うと、結晶粒の結晶方位を揃えることができる。

【0237】例えば、磁場を印加する場合、図31に示すように、フラッシュランプ装置と基板1を収容した真空容器201の周囲に永久磁石231又は電磁石232を設け、これによる磁場の作用下でフラッシュランプアニールを行う。

【0238】このように、例えば低級結晶性シリコン薄膜7Aに磁場の作用下でフラッシュランプアニールを行うと、一旦溶けたシリコン薄膜7Aのシリコン原子の電子スピンは磁場と相互作用し、一定の方向に向き、この状態から冷却により固化する際にシリコンの結晶方位が揃う。こうして結晶化された膜は結晶方位がほぼ揃うため、粒界のもつ電子ポテンシャルバリアが低くなり、キャリア移動度が大きくなる。この際、結晶方位を一定方向に揃えることが重要であり、シリコン原子の外殻軌道の構造に応じて、得られた多結晶シリコン薄膜7の垂直方向に結晶が揃う場合もあり或いは水平方向に結晶方位が揃う場合もある。結晶粒が揃うことにより、多結晶シリコン薄膜の表面の凹凸もなくなり、薄膜の表面が平坦化されることになり、これに接して形成されるゲート絶縁膜等との間の界面状態が良好となり、キャリア移動度が改善されることになる。

【0239】そして、この磁場の作用下でのフラッシュランプアニールに用いるフラッシュランプ203は真空容器201内に収容されていることから、その照射効率が良く、フラッシュランプ特有の上述した作用を十二分に発揮することができる。

【0240】図32は、上記の磁場に代えて電源233による電場を印加する例であるが、フラッシュランプ装置と基板1を収容した真空容器201の周囲に高周波電圧（または直流電圧、或いはこれらの双方）を印加する電極234を設け、これによる電場の作用下でフラッシュランプアニールを行う。

【0241】この時に、一旦溶けた低級結晶性シリコン薄膜7A中のシリコン原子の電子スピスが電場と相互作用して一定の方向に向き、この状態から冷却により固化する際に、一定の方向性をもって結晶化することになる。これは、上記した磁場の場合と同様に、一定の方向に結晶粒が揃い、キャリア移動度が向上し、また表面の凹凸も減少する。更には、フラッシュランプ203の照射効率も良好である。

【0242】図33は、上記の磁場と共に電場も同時に印加する例であるが、フラッシュランプ装置と基板1を収容した真空容器201の周囲の永久磁石231（これは電磁石でもよい。）による磁場と同時に、高周波電圧（又は直流電圧、或いはこれらの双方）を印加する電極234による電場が同時に作用する条件でフラッシュランプアニールを行う。

【0243】この時に、一旦溶けた低級結晶性シリコン

薄膜7Aのシリコン原子の電子スピスが磁場と電場の相互作用で一定の方向に向き、この状態から冷却により固化する際に、磁場と電場の相乗作用により更に十分な方向性をもって結晶化することになる。従って、一定の方向に結晶粒が更に揃い易くなり、キャリア移動度が一層向上し、また表面の凹凸も一層減少する。更には、フラッシュランプ203の照射効率も良好である。

【0244】＜トップゲート型CMOSTFTの製造＞次に、本実施の形態によるフラッシュランプアニールを用いたトップゲート型CMOSTFTの製造例を示す。

【0245】まず、図1の(1)に示すように、ほうけい酸ガラス、アルミノけい酸ガラス、石英ガラス、結晶化ガラスなどの絶縁基板1の少なくともTFT形成領域に、プラズマCVD、触媒CVD、減圧CVD等の気相成長法により、保護用の窒化シリコン膜及び酸化シリコン膜の積層膜からなる下地保護膜100を下記の条件で形成する（以下、同様）。

【0246】この場合、TFT形成のプロセス温度によってガラス材質を使い分ける。200～500℃の低温の場合：ほうけい酸、アルミノけい酸ガラス等のガラス基板（例えば500×600×0.5～1.1mm厚）、ポリイミドなどの耐熱性樹脂基板を用いてもよい。600～1000℃の高温の場合：石英ガラス、結晶化ガラス等の耐熱性ガラス基板（例えば6～12インチφ、700～800μm厚）を用いてもよい。保護膜用の窒化シリコン膜はガラス基板からのNaイオンストップのために形成するが、合成石英ガラスを用いる場合は不要である。

【0247】また、触媒CVDを用いる場合、図5及び図7に示したと同様の装置が使用可能であるが、触媒体の酸化劣化防止のために、水素系キャリアガスを供給して触媒体を所定温度（約1600～1800℃、例えば約1700℃）に加熱し、成膜後は触媒体を問題ない温度まで冷却して水素系キャリアガスをカットする必要がある。

【0248】成膜条件としては、チャンバ内に水素系キャリアガス（水素、アルゴン+水素、ヘリウム+水素、ネオン+水素等）を常時流し、流量と圧力、サセプタ温度を下記の所定の値に制御する。

チャンバ内圧力：0.1～10Pa程度、例えば1Pa
サセプタ温度：350℃

水素系キャリアガス流量（混合ガスの場合、水素は80～90モル%）：100～200SCCM

【0249】また、窒化シリコン膜は、次の条件で50～200nm厚に形成する。H₂をキャリアガスとし、原料ガスとしてモノシラン（SiH₄）にアンモニア（NH₃）を適量比率で混合して形成する。

H₂流量：100～200SCCM、SiH₄流量：1～2SCCM、NH₃流量：3～5SCCM

【0250】また、酸化シリコン膜は、次の条件で50

～200nm厚に形成する。H₂をキャリアガス、原料ガスとしてモノシラン(SiH₄)にHe希釈O₂を適量比率で混合して形成する。

H₂流量:100～200SCCM、SiH₄流量:1～2SCCM、He希釈O₂流量:0.1～1SCCM

【0251】なお、RFプラズマCVDで成膜する場合の条件は次の通りである。酸化シリコン膜は、SiH₄流量:5～10SCCM、N₂O流量:1000SCCM、ガス圧:50～70Pa、RFパワー:1000W、基板温度:350℃で形成する。

【0252】また、窒化シリコン膜は、SiH₄流量:50～100SCCM、NH₃流量:200～250SCCM、N₂流量:700～1000SCCM、ガス圧:50～70Pa、RFパワー:1300W、基板温度:250℃で形成する。

【0253】次いで、図1の(2)に示すように、触媒CVD又はプラズマCVDによって、例えば周期表IV族元素、例えば錫を $10^{17} \sim 10^{22}$ atoms/cc、好ましくは $10^{18} \sim 10^{20}$ atoms/ccドーブした(これはCVD時又は成膜後のイオン注入によってドーブしてよい。)低級結晶性シリコン薄膜7Aを50nm厚に形成する。但し、この錫のドーピングは必ずしも必要ではない(以下、同様)。そして、連続して保護及び反射低減用の酸化シリコン膜を10～30nm厚に形成する。

【0254】この場合、図5及び図6に示した装置を用い、上記の触媒CVDにより下記の条件で低級結晶性半導体薄膜としての例えば錫ドーブの低級結晶性シリコン薄膜を気相成長させる。

【0255】触媒CVDによるアモルファスシリコン含有微結晶シリコンの成膜:H₂をキャリアガス、原料ガスとしてモノシラン(SiH₄)、水素化錫(SnH₄)を適量比率で混合して形成する。H₂流量:150SCCM、SiH₄流量:15SCCM、SnH₄流量:15SCCM。この時、原料ガスのシラン系ガス(シラン又はジシラン又はトリシラン等)に、n型のリン又はヒ素又はアンチモン等を適量混入したり、又はp型のボロン等を適量混入することにより、任意のn又はp型不純物キャリア濃度の錫含有シリコン薄膜を形成してもよい。n型化の場合:PH₃(ホスフィン)、AsH₃(アルシン)、SbH₃(スチビン) p型化の場合:B₂H₆(ジボラン)

【0256】なお、上記の各膜を同一のチャンバで形成する場合は、水素系キャリアガスを常時供給し、触媒体を所定温度に加熱してスタンバイをしておき、次のように処理してよい。

*【0257】モノシランにアンモニアを適当比率で混合して所定膜厚の窒化シリコン膜を形成し、前の原料ガス等を十分に排出した後、連続してモノシランとHe希釈O₂を適当比率で混合して所定膜厚の酸化シリコン膜を形成し、前の原料ガス等を十分に排出した後に、連続してモノシランとSnH₄を適量比率で混合して所定膜厚の錫含有アモルファスシリコン含有微結晶シリコン膜を形成し、前の原料ガス等を十分に排出した後、連続してモノシランとHe希釈O₂を適当比率で混合して所定膜厚の酸化シリコン膜を形成する。成膜後は原料ガスをカットし、触媒体を問題ない温度に冷却して水素系キャリアガスをカットする。この時、絶縁膜形成時の原料ガスは傾斜減少又は傾斜増加させ、傾斜接合の絶縁膜としてもよい。

【0258】或いは、それぞれ独立したチャンバで形成する場合は、各チャンバ内に水素系キャリアガスを常時供給し、触媒体を所定温度に加熱してスタンバイしておき、次のように処理してよい。Aチャンバに移し、モノシランにアンモニアを適量比率で混合して所定膜厚の窒化シリコン膜を形成する。次にBチャンバに移し、モノシランにHe希釈O₂を適量比率で混合して酸化シリコン膜を形成する。次にCチャンバに移し、モノシランとSnH₄を適量比率で混合して錫含有のアモルファスシリコン含有微結晶シリコン膜を形成する。次にBチャンバに移し、モノシランにHe希釈O₂を適量比率で混合して酸化シリコン膜を形成する。成膜後は原料ガスをカットし、触媒体を問題ない温度まで冷却して水素系キャリアガスをカットする。この時に、それぞれのチャンバ内に水素系キャリアガスとそれぞれの原料ガスを常時供給して、スタンバイの状態にしておいてもよい。

【0259】RFプラズマCVDで低級結晶性シリコン薄膜を成膜する条件は、SiH₄:100SCCM、H₂:100SCCM、ガス圧:1.33×10⁻⁴Pa、RFパワー:100W、基板温度:350℃である。

【0260】次いで、図1の(3)に示すように、大気圧窒素ガス中で、例えばキセノンフラッシュランプ(又はパルスドキセノンランプとも呼ぶ。)の1回又は数回の繰り返しフラッシュ照射221により、アモルファスシリコン含有微結晶シリコン薄膜7Aを熔融状態とし、徐冷却により大粒径で高結晶化率の多結晶性シリコン薄膜7を50nm厚に形成する。そして、基板のサイズに応じて、例えばステップ&リピートで高精度に基板を移動させて、所定の基板内をフラッシュ照射する。

【0261】このフラッシュランプアニールは、上述した図7～図13のいずれの装置を用いて行ってよく、そのアニール条件は例えば次の通りである。

ランプ : キセノンフラッシュランプ(直径10mmφ、有効アーク長200mmのキセノンランプ20本)
照射面積 : 200×200mmの正方形のステップ&リピートで各1回のフラッシュ照射

照射エネルギー
ランプーガラス基板間照射距離
印加電圧
1/3 パルス幅
基板温度

【0262】なお、このフラッシュランプアニール時に、低級結晶性シリコン薄膜の表面に保護用の酸化シリコン膜又は窒化シリコン膜又は酸窒化シリコン膜又は酸化シリコン/窒化シリコン積層膜等が存在していると、アニール時に熔融したシリコンが飛散したり、表面張力によるシリコン結晶粒（塊）化がなく、良好に多結晶性シリコン薄膜を得ることができる。又、必要に応じて熱線低減又は熱線遮断フィルタを用いて、結晶性向上と基板ダメージ低減を図ってもよいが、この時は照射エネルギーを高める必要がある。

【0263】又、基板温度上昇の低減と結晶化促進のために、低級結晶性シリコン薄膜をアイランド化した後、又は保護用酸化シリコン膜で被覆された低級結晶性シリコン薄膜をアイランド化した後に、フラッシュランプアニールしても、良好な多結晶性シリコン薄膜を得ることができる。

【0264】また、適当な条件でこのフラッシュランプアニールを後述のゲートチャンネル/ソース/ドレイン領域形成後に行うと、結晶化促進と同時にゲートチャンネル/ソース/ドレイン領域に注入されたn型又はp型キャリア不純物（磷、ヒ素、ボロン等）が活性化されるので、生産性が良い場合がある。

【0265】そして次に、多結晶性シリコン薄膜7をソース、チャンネル及びドレイン領域とするMOSTFTの作製を行なう。

【0266】即ち、高温プロセスの場合、図2の(4)に示すように、汎用フォトリソグラフィ及びエッチング技術により保護及び反射低減用酸化シリコン膜を除去し、更に多結晶性シリコン薄膜7をアイランド化した後、nMOSTFT用のチャンネル領域の不純物濃度制御によるしきい値(V_{th})の最適化のために、pMOSTFT部をフォトレジスト9でマスクし、イオン注入又はイオンドーピングによりp型不純物イオン（例えばボロンイオン）10を例えば $5 \times 10^{11} \text{ atoms/cm}^2$ のドーズ量でドーピングし、 $1 \times 10^{17} \text{ atoms/cc}$ のアクセプタ濃度に設定し、多結晶シリコン薄膜7の導電型をp型化した多結晶性シリコン薄膜11とする。

【0267】次いで、図2の(5)に示すように、pMOSTFT用のチャンネル領域の不純物濃度制御によるしきい値(V_{th})の最適化のために、今度はnMOSTFT部をフォトレジスト12でマスクし、イオン注入又はイオンドーピングによってn型不純物イオン（例えば磷イオン）13を例えば $1 \times 10^{12} \text{ atoms/cm}^2$ のドーズ量でドーピングし、 $2 \times 10^{17} \text{ atoms/cc}$

: 約 20 J/cm^2 (相対値)
: 50mm
: 約 2.5kV
: 1.5msec
: 300~400℃

cのドナー濃度に設定し、多結晶性シリコン薄膜7の導電型をn型化した多結晶性シリコン薄膜14とする。

【0268】次いで、図3の(6)に示すように、触媒CVD等によりゲート絶縁膜の酸化シリコン膜(50nm厚)8を形成した後、ゲート電極材料としてのリンドーブド多結晶シリコン膜15を例えば2~20SCCMの PH_3 及び20SCCMの SiH_4 の供給下での上記と同様の触媒CVD法によって厚さ例えば400nm厚に堆積させる。

【0269】次いで、図3の(7)に示すように、フォトレジスト16を所定パターンに形成し、これをマスクにしてリンドーブド多結晶シリコン膜15をゲート電極形状にパターンニングし、更に、フォトレジスト16の除去後に図3の(8)に示すように、例えば触媒CVD等により酸化シリコン膜17を20nm厚に形成する。

【0270】次いで、図3の(9)に示すように、pMOSTFT部をフォトレジスト18でマスクし、イオン注入又はイオンドーピングによりn型不純物である例えば磷イオン19を例えば $1 \times 10^{15} \text{ atoms/cm}^2$ のドーズ量でドーピングし、 $2 \times 10^{20} \text{ atoms/cc}$ のドナー濃度に設定し、nMOSTFTのn⁺型ソース領域20及びドレイン領域21をそれぞれ形成する。

【0271】次いで、図4の(10)に示すように、nMOSTFT部をフォトレジスト22でマスクし、イオン注入又はイオンドーピングによりp型不純物である例えばボロンイオン23を例えば $1 \times 10^{15} \text{ atoms/cm}^2$ のドーズ量でドーピングし、 $2 \times 10^{20} \text{ atoms/cc}$ のアクセプタ濃度に設定し、pMOSTFTのp⁺型ソース領域24及びドレイン領域25をそれぞれ形成する。この後に、 N_2 中、約900℃で5分間程度のアニールにより、各領域にドーピングされた不純物イオンを活性化させ、各々を設定された不純物キャリア濃度に設定する。

【0272】こうしてゲート、ソース及びドレインを形成するが、これらは上記したプロセス以外の方法で形成することが可能である。

【0273】即ち、低温プロセスの場合、図1の(2)の工程後に、多結晶性シリコン薄膜7をpMOSTFTとnMOSTFT領域にアイランド化する。これは、汎用フォトリソグラフィ及びエッチング技術により、保護及び反射低減用酸化シリコン膜はフッ酸系エッチング液で除去し、アモルファスシリコン含有微結晶シリコン薄膜は CF_4 、 SF_6 等のプラズマエッチングで選択的に除去し、有機溶剤等でフォトレジストを剥離洗浄する。次のフラッシュランプアニール時のフラッシュ照射による

急激な温度上昇でのシリコン溶融と冷却時のストレスで、形成されるべき多結晶性シリコン薄膜にひび割れが発生しやすいので、基板温度上昇を低減するためにもアイランド化は重要なポイントである。このランプアニール前のアイランド化は、熱放散を少なくしてシリコン溶融帯の冷却を遅らせて結晶成長を促進する狙いと、不要なシリコン溶融帯での基板温度上昇を低減するものである。

【0274】そして、上述と同様にして低級結晶性シリコン薄膜7Aに対してフラッシュランプアニールを行った後、保護及び反射低減用酸化シリコン膜を除去し、上述と同様にフォトリソマスクでpMOSTFT領域にイオン注入又はイオンドーピング法によりn型不純物、例えばリンイオンを 1×10^{12} atoms/cm²のドーズ量でドーピングし、 2×10^{17} atoms/ccのドナー濃度に設定し、nMOSTFT領域にp型不純物、例えばボロンイオンを 5×10^{11} atoms/cm²のドーズ量でドーピングし、 1×10^{17} atoms/ccのアクセプタ濃度に設定し、各チャンネル領域の不純物濃度を制御し、 V_{th} を最適化する。

【0275】そして、次に、汎用フォトリソグラフィ技術により、フォトリソマスクで各ソース/ドレイン領域を形成する。nMOSTFTの場合、イオン注入又はイオンドーピング法によりn型不純物、例えばヒ素、リンイオンを 1×10^{15} atoms/cm²のドーズ量でドーピングし、 2×10^{20} atoms/ccのドナー濃度に設定し、pMOSTFTの場合、イオン注入又はイオンドーピング法によりp型不純物、例えばボロンイオンを 1×10^{15} atoms/cm²のドーズ量でドーピングし、 2×10^{20} atoms/ccのアクセプタ濃度に設定する。

【0276】しかる後、多結晶性シリコン薄膜中のn型又はp型不純物の活性化のために結晶化処理よりも低い照射エネルギーのフラッシュランプアニール又はハロゲンランプ等の赤外線ランプのRTA (Rapid Thermal Anneal) により、例えば約1000℃、30秒程度の熱処理でゲートチャンネル領域、ソース及びドレイン領域の不純物イオン活性化を行う。しかる後（或いは不純物活性化処理前に）、ゲート絶縁膜として酸化シリコン膜を形成するが、必要に応じて連続して窒化シリコン膜と酸化シリコン膜を形成する。即ち、触媒CVD法により、水素系キャリアガスとモノシランにHe希釈O₂を適量比率で混合して酸化シリコン膜8を40～50nm厚に形成し、必要に応じて水素系キャリアガスとモノシランにNH₃を適量比率で混合して窒化シリコン膜を10～20nm厚に形成し、更に前記の条件で酸化シリコン膜を40～50nm厚に形成する。

【0277】次いで、高温プロセスでは、図4の(11)に示すように、全面に上記したと同様の触媒CVD法によって、水素系キャリアガス150SCCMを共通

として、1～2SCCMのヘリウムガス希釈のO₂、15～20SCCMのモノシラン供給下で酸化シリコン膜26を例えば50nm厚に、更に、1～20SCCMのPH₃、1～2SCCMのヘリウムガス希釈のO₂、15～20SCCMのSiH₄供給下でフォスフィンシリケートガラス(PSG)膜28を例えば400nm厚に形成し、50～60SCCMのNH₃、15～20SCCMのモノシラン供給下で窒化シリコン膜27を例えば200nm厚に積層する。

【0278】次いで、図4の(12)に示すように、上記の絶縁膜の所定位置にコンタクト窓開けを行う。即ち、汎用フォトリソグラフィ及びエッチング技術によりnMOSTFT及びpMOSTFTのゲート、ソース、ドレイン電極窓開けをフォトリソパターンで形成し、CF₄、SF₆等でパッシベーション用窒化シリコン膜をプラズマエッチングし、酸化シリコン膜及びPSG膜をフッ酸系エッチング液でエッチングし、有機溶剤等でフォトリソを洗浄除去して、nMOSTFT及びpMOSTFTのゲート、ソース、ドレイン領域を露出形成する。

【0279】次いで、各コンタクトホールを含む全面に1%Si入りアルミニウムなどの電極材料をスパッタ法等で150℃で1μmの厚みに堆積し、これをパターニングして、pMOSTFT及びnMOSTFTのそれぞれのソース又はドレイン電極29(S又はD)とゲート取出し電極又は配線30(G)を形成し、トップゲート型の各MOSTFTを形成する。この後に、フォーミングガス中で400℃、1hの水素化処理及びシンター処理をする。尚、触媒CVD法により、アルミニウム化合物ガス(例えばAlCl₃)を供給し、アルミニウムを形成してもよい。

【0280】なお、上記のゲート電極の形成に代えて、全面にMo-Ta合金等の耐熱性金属のスパッタ膜(100～500nm厚)を形成し、汎用フォトリソグラフィ及びエッチング技術により、nMOSTFT及びpMOSTFTのゲート電極を形成してよい。

【0281】なお、シリコン合金溶融液の液相成長法とフラッシュランプアニールをトップゲート型多結晶性シリコンCMOSTFTの製法例について説明すると、まず、上記の下地保護膜の形成後に、下記のいずれかの方法で錫含有又は非含有のアモルファスシリコン含有微結晶シリコン層を(析出)成長させた(以下は錫含有の例とする)後、その上の錫等の低融点金属膜を除去する。シリコンを含む錫等の低融点金属溶融液を塗布し、冷却させる。シリコンを含む錫等の低融点金属溶融液に浸漬し、引き上げて冷却させる。シリコンを含む錫等の低融点金属膜を加熱溶融し、冷却させる。シリコン膜の上に錫等の低融点金属膜を形成し、加熱溶融及び冷却させる。錫等の低融点金属膜の上にシリコン膜を形成し、加熱溶融及び冷却させる。

【0282】次いで、錫含有又は非含有のアモルファスシリコン含有微結晶シリコン層をアイランド化して、pMOSTFT部とnMOSTFT部に分割し、イオン注入又はイオンドーピング法によりチャンネル領域の不純物濃度を制御して V_{th} を最適化する（条件は、上述したものに準ずる）。しかる後に、イオン注入又はイオンドーピング法によりpMOSTFT部とnMOSTFT部のソース、ドレインを形成する（条件は、上述したものに準ずる）。

【0283】次いで、フラッシュランプアニールで結晶化促進とイオン活性化を行なう（条件は、上述したものに準ずる）。連続して触媒CVDによりゲート絶縁膜の酸化シリコン膜を形成するが、必要に応じて連続して窒化シリコン膜及び酸化シリコン膜を形成する（成膜条件は、上述したものに準ずる）。これ以降のプロセスは、上述したものと同様である。また、この液相成長法を用いる方法は、後述のボトムゲート型、デュアルゲート型CMOSTFT等についても、同様に適用されてよい。

【0284】スパッタ法による低級結晶性シリコン薄膜のフラッシュランプアニールを用いたトップゲート型多結晶性シリコンCMOSTFTの製法例について説明すると、まず、上記の下地保護膜をスパッタリングで形成する。即ち、絶縁性基板の全面に、窒化シリコンターゲットをアルゴンガス圧0.133～1.33Paの真空中でスパッタリングして、窒化シリコン膜（50～200nm厚）を形成し、この窒化シリコン膜の全面に、酸化シリコンターゲットをアルゴンガス圧0.133～1.33Paの真空中でスパッタリングして、酸化シリコン膜（100～200nm厚）を形成する。

【0285】次に、錫を0.1～1at%含有する或いは非含有のシリコンターゲットを、アルゴンガス圧0.133～1.33Paの真空中でスパッタリングして、絶縁性基板の少なくともTFT形成領域に50nm厚の例えば錫含有又は錫非含有のアモルファスシリコン膜を形成する。

【0286】次に、このアモルファスシリコン膜の全面に、酸化シリコンターゲットを、アルゴンガス圧0.133～1.33Paの真空中でスパッタリングして、酸化シリコン膜を10～30nm厚に形成する。

【0287】なお、共通のシリコンターゲットで、アルゴンガス+窒素ガス（5～10mol%）のスパッタリングで窒化シリコン膜を、アルゴンガス+酸素ガス（5～10mol%）のスパッタリングで酸化シリコン膜を、アルゴンガスのスパッタリングでアモルファスシリコン膜を、さらにアルゴンガス+酸素ガス（5～10mol%）のスパッタリングで酸化シリコン膜を連続積層形成してもよい。

【0288】次いで、形成した錫含有又は非含有のアモルファスシリコン薄膜をアイランド化し、pMOSTFT部とnMOSTFT部に分割する（条件は気相成長法

の場合に準ずる）。しかる後、イオン注入又はイオンドーピングによりゲートチャンネル、ソース、ドレイン領域を形成する（条件は気相成長法の場合に準ずる）。

【0289】次いで、錫含有又は非含有のアモルファスシリコン薄膜をフラッシュランプアニールする。このフラッシュランプアニールにより、多結晶シリコン薄膜化し、同時にイオン注入又はイオンドーピングしたn型又はp型不純物を活性化して、ゲートチャンネル、ソース、ドレイン領域の最適なキャリア不純物濃度を形成する（フラッシュランプアニール処理条件は上述したものに準ずる）。尚、上記と同様に、結晶化のフラッシュランプアニールと、イオン活性化のフラッシュランプアニール又はRTA処理に分けて処理してもよいことは言うまでもない。

【0290】次いで、ゲート絶縁膜として酸化シリコン膜を形成するが、必要に応じて連続して窒化シリコン膜及び酸化シリコン膜を形成する。即ち、触媒CVD法等により、酸化シリコン膜を40～50nm厚、窒化シリコン膜を10～20nm厚、酸化シリコン膜を40～50nm厚に連続形成する（成膜条件は上述したものに準ずる）。

【0291】以降のプロセスは、上述したものと同様である。また、このスパッタリング膜を用いる方法は、後述のボトムゲート型、デュアルゲート型CMOSTFT等についても、同様に適用されてよい。

【0292】なお、上記の低級結晶性シリコン薄膜の形成とフラッシュランプアニールを必要回数繰り返すことにより、高結晶性、高純度の単結晶性シリコンに近い大粒径多結晶シリコン厚膜を形成できるので、CCDエリアノリニアセンサ、バイポーラLSI、太陽電池等の厚膜に必要なデバイスに好適となる。つまり、1回目のフラッシュランプアニールにより、例えば200～300nm厚の大粒径多結晶シリコン薄膜を形成する。そして、その上に低級結晶性シリコン薄膜（200～300nm厚）を積層する。そして、2回目のフラッシュランプアニールにより、下地膜をシードとして例えば200～300nm厚の大粒径多結晶性シリコン薄膜を積層形成して、約400～600nmの大粒径多結晶性シリコン薄膜を形成する。こうした工程を必要回数繰り返すことにより、 μm 単位膜厚の大粒径多結晶性シリコン厚膜を積層形成できる。なお、この厚膜も本発明の「多結晶性シリコン薄膜」の概念に含まれる。

【0293】このような積層の場合、下地の粒径多結晶性シリコン薄膜が次のフラッシュランプアニール時の結晶核（シード）となり、より大きな粒径の多結晶性シリコン薄膜が次々と積層していくので、厚膜の表面に近くなる程、高結晶性、高純度の単結晶シリコンに近い大粒径多結晶性シリコン厚膜を形成できる。従って、MOSSL SIのみならず一般に、厚膜の表面を能動及び受動素子領域とするCCDエリアノリニアセンサ、バイポー

ラLSI、太陽電池等の厚膜が必要なデバイスに好適となる。

【0294】〔I〕なお、上記したようにアイランド化後にフラッシュランプアニールを行う場合、次の(1)～(4)の処理のいずれかを行うのがよい。

(1) 低温プロセス(A)では、酸化シリコン(以下、 SiO_2)／窒化シリコン(以下、 SiN_x)積層膜付きアモルファスシリコン膜をパターンニングしてアイランド化する。フラッシュランプアニールで多結晶シリコン化した後に、 SiN_x 膜のみを剥離し、 SiO_2 又は $\text{SiO}_2/\text{SiN}_x$ 膜を積層し、ゲート絶縁膜の SiO_2 又は $\text{SiO}_2/\text{SiN}_x/\text{SiO}_2$ 積層膜を形成する。ここで低温プロセスとは、基板に、ほうけい酸ガラス、アルミノけい酸ガラス等の低歪点ガラスやポリイミド等の耐熱性樹脂を使用することを意味する(以下、同様)。また、窒化シリコン膜は、プラズマCVD等の低温成膜で形成されるので、完全な Si_3N_4 ではなく、 SiN_x と表示する(以下、同様)。

【0295】(2) 低温プロセス(B)では、 SiO_2 (又は SiN_x)膜付きアモルファスシリコン膜をパターンニングしてアイランド化する。フラッシュランプアニールで多結晶シリコン化した後に、 SiO_2 (又は SiN_x)膜を剥離し、ゲート絶縁膜の SiO_2 又は $\text{SiO}_2/\text{SiN}_x/\text{SiO}_2$ 積層膜を形成する。

【0296】(3) 低温プロセス(C)では、アモルファスシリコン膜をパターンニングしてアイランド化した後に、フラッシュランプアニールし、しかる後にゲート絶縁膜の SiO_2 又は $\text{SiO}_2/\text{SiN}_x/\text{SiO}_2$ 積層膜を形成する。

【0297】(4) 高温プロセス(A)では、アモルファスシリコン膜をパターンニングしてアイランド化した後、フラッシュランプアニールし、しかる後に高温(1000℃、30分)の熱酸化作用で多結晶性シリコン膜の表面を酸化させてゲート絶縁膜を形成する。ここで高温プロセスとは、石英ガラスや結晶化ガラス等の耐熱性ガラスやセラミックス等を使用することを意味する(以下、同様)。

【0298】〔II〕また、アイランド化前のフラッシュランプアニールの場合は、次の(1)～(4)の処理のいずれかを行うのがよい。

(1) 低温プロセス(D)では、 $\text{SiO}_2/\text{SiN}_x$ 積層膜付きアモルファスシリコン膜をフラッシュランプアニール後にパターンニングしてアイランド化する。その後に、 SiN_x 膜のみを剥離し、 SiO_2 又は $\text{SiO}_2/\text{SiN}_x$ 膜を積層し、ゲート絶縁膜の SiO_2 又は $\text{SiO}_2/\text{SiN}_x/\text{SiO}_2$ 積層膜を形成する。

【0299】(2) 低温プロセス(E)では、 SiO_2 (又は SiN_x)膜付きアモルファスシリコン膜をフラッシュランプアニールした後に、パターンニングしてアイランド化する。その後に、 SiO_2 (又は SiN_x)膜を

剥離し、 SiO_2 又は $\text{SiO}_2/\text{SiN}_x/\text{SiO}_2$ 膜を積層し、それぞれをゲート絶縁膜とする。

【0300】(3) 低温プロセス(F)では、アモルファスシリコン膜をフラッシュランプアニールした後に、パターンニングしてアイランド化する。その後に、 SiO_2 又は $\text{SiO}_2/\text{SiN}_x/\text{SiO}_2$ 膜を積層して、それぞれをゲート絶縁膜とする。

【0301】(4) 高温プロセス(B)では、アモルファスシリコン膜をフラッシュランプアニールした後に、パターンニングしてアイランド化し、高温(1000℃、30分)の熱酸化作用で多結晶性シリコン膜を熱酸化させてゲート絶縁膜を形成する。

【0302】上記の〔I〕、〔II〕ともに、低温プロセス用 SiO_2 は触媒CVD、プラズマCVD、TEOS系プラズマCVD、低温高圧アニール(30MPa以下の高圧容器中で常温以上、基板の歪点以下の温度で水蒸気を使っていわゆる亜臨界水反応又は超臨界水反応により熱酸化する。)等で形成し、 SiN_x は触媒CVD、プラズマCVD等で形成する。高温プロセスは、上記のように高温熱酸化で多結晶性シリコン薄膜を熱酸化させて良質の SiO_2 膜及び多結晶性シリコン薄膜を形成する。従って、多結晶性シリコン膜厚は厚めに形成しておく必要がある。尚、要求される特性に応じて、低温プロセス及び高温プロセス共に、フラッシュランプアニール時の低級結晶性シリコン薄膜上の反射低減及び保護用絶縁膜(SiO_2 、 SiN_x 、 SiON など)をフラッシュランプアニールでの結晶化後に、そのままゲート絶縁膜として使用してもよい。

【0303】上述したように、本実施の形態によれば、下記(a)～(j)の優れた作用効果を得ることができる。

【0304】(a) 任意の μsec ～ msec の短時間での1回又は数回繰り返しのフラッシュ照射を行えるフラッシュランプアニールにより、高い照射エネルギーを低級結晶性シリコン等の低級結晶性半導体薄膜に与え、これを熔融又は半熔融又は非熔融状態に加熱し、冷却することにより、大粒径の高キャリア移動度、高品質の多結晶性シリコン薄膜等の多結晶性又は単結晶性半導体薄膜が得られ、生産性が大幅に向上し、大幅なコストダウンが可能となる。

【0305】(b) フラッシュランプアニールは、任意の本数のランプとそのフラッシュ放電機構を組み合わせることにより、例えば①1000mm×1000mmの大面积を一括して、1回又は必要回数繰り返してフラッシュ照射する、②200mm×200mm正形状に集光整形したフラッシュ照射光をガルバノメータスキャナで走査させ、必要に応じてオーバーラップスキニングでフラッシュ照射する、③200mm×200mm正形状に集光整形したフラッシュ照射光の照射位置を固定し、基板をステップ&リピートで移動させて必要に応

じてオーバーラップスキニングしてフラッシュ照射する、というように、基板又はフラッシュ照射光を任意の方向と速度で移動させて、加熱熔融及び冷却速度をコントロールし、任意の大面积の低級結晶性シリコン薄膜等を極めて短時間に結晶化できるので、極めて生産性が高く、大幅なコストダウンが実現する。

【0306】(c) フラッシュ照射光を線状、長方形又は正形状又は円形状に集光整形して照射することにより、照射強度、つまり熔融効率及びスループット向上と、結晶化された膜質の均一性向上によるキャリア移動度のバラツキ低減が図れる。

【0307】(d) フラッシュランプアニールにより結晶化させた多結晶性シリコン等の膜上に低級結晶性シリコン等の膜を積層し、再度このフラッシュランプアニールで結晶化する方法を繰り返すことにより、 μm 単位の厚みで大粒径での高キャリア移動度、高品質の多結晶性シリコン膜等を積層形成できる。これにより、MOS LSIのみならず、高性能、高品質のバイポーラLSI、CMOSセンサ、CCDエリア／リニアセンサ、太陽電池等も形成できる。

【0308】(e) 低級結晶性半導体薄膜の膜厚、ガラス等の基板耐熱温度、希望の結晶粒径（キャリア移動度）に応じて、フラッシュランプアニールの波長調整（封入ガス気体の変更、熱線低減又は遮断フィルタ採用、放電条件の変更など）、照射強度、照射時間等のコントロールが容易であるので、高キャリア移動度、高品質の多結晶性シリコン膜等が再現性良く高生産性で得られる。

【0309】(f) キセノンランプ、キセノン－水銀ランプ、クリプトンランプ、クリプトン－水銀ランプ、キセノン－クリプトンランプ、キセノン－クリプトン－水銀ランプ、メタルハライドランプ等のフラッシュランプアニールのランプは、XeCl、KrF等のエキシマレーザアニール装置のエキシマレーザ発振器に比べてはるかに安価であり、長寿命でメンテナンスが簡単であるので、生産性向上とランニングコスト低減により大幅なコストダウンが可能である。

【0310】(g) 主にフラッシュランプと放電回路で構成されるフラッシュランプアニール装置は、エキシマレーザアニール装置に比べて簡単な構造の装置であるため、安価でコストダウンが可能である。

【0311】(h) XeCl、KrF等のエキシマレーザアニール処理は nsec オーダーのパルス発振型レーザを用いるので、その出力の安定性に課題があり、照射面のエネルギー分布のばらつき、得られた結晶化半導体膜のばらつき、MOSTFTごとの素子特性のばらつきが見られる。そこで、 400°C 程度の温度を付与しつつエキシマレーザパルスを例えば5回、30回などの多数回照射する方法が採られているが、それでも、照射ばらつきによる結晶化半導体膜及びTFT素子特性の

ばらつき、スループット低下での生産性低下によるコストアップがある。これに対してフラッシュランプアニールでは、上記(b)のように例えば $1000\text{mm} \times 1000\text{mm}$ の大面积を $\mu\text{sec} \sim \text{msec}$ オーダーのパルスで一括フラッシュ照射できるので、照射面のエネルギー分布のばらつき、得られた結晶化半導体膜のばらつき、MOSTFTごとの素子特性のばらつきが少なく、高いスループットでの高生産性によるコストダウンが可能である。

【0312】(i) 特に、熱線低減又は遮断フィルタを用いた強い紫外線光のフラッシュランプアニールでは低温($200 \sim 400^\circ\text{C}$)で適用できるので、安価であって大型化が容易な低歪点ガラスや耐熱性樹脂基板を採用でき、軽量化とコストダウンを図れる。

【0313】(j) トップゲート型のみならず、ボトムゲート型、デュアルゲート型及びバックゲート型MOSTFTでも、高いキャリア移動度の多結晶性半導体膜又は単結晶性半導体膜等が得られるために、この高性能の半導体膜を使用した高速、高電流密度の半導体装置、電気光学装置、更には高効率の太陽電池等の製法が可能となる。例えば、シリコン半導体装置、シリコン半導体集積回路装置、フィールドエミッションディスプレイ(FED)装置、シリコン－ゲルマニウム半導体装置、シリコン－ゲルマニウム半導体集積回路装置、炭化ケイ素半導体装置、炭化ケイ素半導体集積回路装置、III-V及びII-VI族化合物半導体装置、III-V族及びII-VI族化合物半導体集積回路装置、多結晶性又は単結晶性ダイヤモンド半導体装置、多結晶性又は単結晶性ダイヤモンド半導体集積回路装置、液晶表示装置、エレクトロルミネセンス(有機/無機)表示装置、発光ポリマー表示装置、発光ダイオード表示装置、光センサー装置、CCDエリア／リニアセンサ装置、CMOSセンサ装置、太陽電池装置等である。

【0314】第2の実施の形態

<LCDの製造例1>本実施の形態は、高温プロセスによる多結晶性シリコンMOSTFTを用いたLCD(液晶表示装置)に本発明を適用したものであり、以下その製造例を示す。

【0315】まず、図34の(1)に示すように、画素部及び周辺回路部において、石英ガラス、結晶化ガラスなどの耐熱性絶縁基板61(歪点約 $800 \sim 1100^\circ\text{C}$ 、厚さ $50\text{ミクロン} \sim \text{数mm}$)の一面に、上述した触媒CVD法等によって、下地保護膜100(ここでは図示省略：以下、同様)を形成後に、この上に上記の触媒CVD等により低級結晶性シリコン薄膜67Aを形成する。更に、必要に応じて保護及び反射低減用酸化シリコン膜($10 \sim 30\text{nm}$ 厚)を形成する(ここでは図示省略)。

【0316】次いで、図34の(2)に示すように、低級結晶性シリコン薄膜67Aに上述のフラッシュランプ

アニールを施し、例えば50nm厚の多結晶性シリコン薄膜67を形成する。

【0317】次いで、図34の(3)に示すように、保護及び反射低減用酸化シリコン膜を除去した後に、汎用フォトリソグラフィ及びエッチング技術により多結晶性シリコン薄膜67をパターンニング(アイランド化)し、トランジスタ、ダイオード等の能動素子、抵抗、容量、インダクタンス等の受動素子の活性層を形成する。尚、以降のプロセスは、TFT作製について述べるが、他の素子の作製も同様であることは言うまでもない。

【0318】次いで、多結晶性シリコン薄膜67の各チャンネル領域の不純物濃度制御による V_{th} の最適化のために前記と同様のボロン又は燐等の所定の不純物をイオン注入又はイオンドーピングした後、図34の(4)に示すように、例えば上記と同様の触媒CVD法等によって多結晶性シリコン薄膜67の表面に厚さ例えば50nm厚のゲート絶縁膜用の酸化シリコン膜68を形成する。触媒CVD法等でゲート絶縁膜用の酸化シリコン膜68を形成する場合、基板温度及び触媒体温度は上記したものと同様であるが、酸素ガス流量は1~2SCCM、モノシランガス流量は15~20SCCM、水素系キャリアガスは150SCCMとしてよい。

【0319】次いで、図35の(5)に示すように、ゲート電極及びゲートライン材料として、例えばMo-Ta合金をスパッタリングで厚さ例えば400nm厚に堆積させるか、或いは、リンドーブド多結晶シリコン膜を例えば水素系キャリアガス150SCCM、2~20SCCMの PH_3 及び20SCCMのモノシランガスの供給下での上記と同様の触媒CVD法等によって厚さ例えば400nm厚に堆積させる。そして、汎用フォトリソグラフィ及びエッチング技術により、ゲート電極材料層をゲート電極75及びゲートラインの形状にパターンニングする。なお、リンドーブド多結晶シリコン膜の場合は、フォトレジストマスクの除去後に、例えば900℃で60分間、 O_2 中での酸化処理でリンドーブド多結晶シリコン膜75の表面に酸化シリコン膜を形成する。

【0320】次いで、図35の(6)に示すように、pMOSTFT部をフォトレジスト78でマスクし、イオン注入又はイオンドーピング法によりn型不純物である例えばヒ素(又は燐)イオン79を例えば 1×10^{15} atoms/cm²のドーズ量でドーピングし、 2×10^{20} atoms/ccのドナー濃度に設定し、nMOSTFTのn⁺型ソース領域80及びドレイン領域81をそれぞれ形成する。

【0321】次いで、図35の(7)に示すように、nMOSTFT部をフォトレジスト82でマスクし、イオン注入又はイオンドーピング法によりp型不純物である例えばボロンイオン83を例えば 1×10^{15} atoms/cm²のドーズ量でドーピングし、 2×10^{20} atoms/ccのアクセプタ濃度に設定し、pMOSTFT

のp⁺型ソース領域84及びドレイン領域85をそれぞれ形成する。その後に、 N_2 中、約900℃で5分間程度のアニールにより、各領域にドーピングされた不純物イオンを活性化させ、各々設定された不純物キャリア濃度に設定する。尚、スイッチング特性向上のために表示領域のnMOSTFT部にn⁻型のLDD(Lightly Doped Drain)部を形成してもよい。

【0322】次いで、図35の(8)に示すように、全面に上記したと同様の触媒CVD法等によって、水素系キャリアガス150SCCMを共通として、1~2SCCMの He 希釈 O_2 、15~20SCCMの SiH_4 供給下で酸化シリコン膜を例えば50nm厚に、更に、1~20SCCMの PH_3 、1~2SCCMの He 希釈 O_2 、15~20SCCMの SiH_4 供給下でフォスフィンシリケートガラス(PSG)膜を例えば600nm厚に形成し、50~60SCCMの NH_3 、15~20SCCMの SiH_4 供給下で窒化シリコン膜を例えば200nm厚に積層し、これらの絶縁膜の積層によって層間絶縁膜86を形成する。なお、このような層間絶縁膜は、上記とは別の通常の方法で形成してもよい。

【0323】次いで、図36の(9)に示すように、上記の絶縁膜86の所定位置にコンタクト窓開けを行い、各コンタクトホールを含む全面にアルミニウムなどの電極材料をスパッタ法等で150℃で1 μ mの厚みに堆積し、これをパターンニングして、画素部のnMOSTFTのソース電極87及びデータライン、周辺回路部のpMOSTFT及びnMOSTFTのソース電極88、90とドレイン電極89、91及び配線をそれぞれ形成する。尚、この時に、触媒CVD法によりアルミニウムを形成してもよい。

【0324】次いで、表面上に酸化シリコン膜等の層間絶縁膜92をCVD法等で形成した後、フォーミングガス中で400℃、30分の水素化及びシンター処理する。そして、図36の(10)に示すように、画素部のnMOSTFTのドレイン領域において層間絶縁膜92及び86にコンタクトホールを開け、例えばITO(Indium Tin Oxide:インジウム酸化物にスズをドーブした透明電極材料)を真空蒸着法等で全面に堆積させ、パターンニングして画素部のnMOSTFTのドレイン領域81に接続された透明画素電極93を形成する。その後、熱処理(フォーミングガス中で200~250℃、1時間)により、コンタクト抵抗の低減化とITO透明度の向上を図る。

【0325】こうしてアクティブマトリクス基板を作製し、透過型のLCDを作製することができる。この透過型LCDは、図36の(11)に示すように、透明画素電極93上に配向膜94、液晶95、配向膜96、透明電極97、対向基板98が積層された構造からなっている。

【0326】なお、上記した工程は、反射型のLCDの

製造にも同様に適用可能である。図41(A)には、この反射型のLCDの一例が示されているが、図中の101は粗面化された絶縁膜92上に被着されたアルミニウム等の反射膜であり、MOSTFTのドレインと接続されている。

【0327】このLCDの液晶セルを面組立で作製する場合(2インチサイズ以上の中／大型液晶パネルに適している。)、まずTFT基板61と、全面ベタのITO(Indium Tin Oxide)電極97を設けた対向基板98の素子形成面に、ポリイミド配向膜94、96を形成する。このポリイミド配向膜はロールコート、スピコート等により50~100nm厚に形成し、180℃/2hで硬化キュアする。

【0328】次いで、TFT基板61と対向基板98をラビング、又は光配向処理する。ラビングバフ材にはコットンやレーヨン等があるが、バフかす(ゴミ)やリタデーション等の面からはコットンの方が安定している。光配向は非接触の線型偏光紫外線照射による液晶分子の配向技術である。なお、配向には、ラビング以外にも、偏光又は非偏光を斜め入射させることによって高分子配向膜を形成することができる(このような高分子化合物は、例えばアゾベンゼンを有するポリメチルメタクリレート系高分子等がある)。

【0329】次いで、洗浄後に、TFT基板61側にはコモン剤塗布、対向基板98側にはシール剤塗布する。ラビングバフかす除去のために、水、又はIPA(イソプロピルアルコール)洗浄する。コモン剤は導電性フィラーを含有したアクリル、又はエポキシアクリレート、又はエポキシ系接着剤であってよく、シール剤はアクリル、又はエポキシアクリレート、又はエポキシ系接着剤であってよい。加熱硬化、紫外線照射硬化、紫外線照射硬化+加熱硬化のいずれも使用できるが、重ね合せの精度と作業性からは紫外線照射硬化+加熱硬化タイプが良い。

【0330】次いで、対向基板98側に所定のギャップを得るためのスペーサを散布し、TFT基板61と所定の位置で重ね合わせる。対向基板98側のアライメントマークとTFT基板61側のアライメントマークとを精度よく合わせた後に、紫外線照射してシール剤を仮硬化させ、その後一括して加熱硬化する。

【0331】次いで、スクライブブレイクして、TFT基板61と対向基板98を重ね合せた単個の液晶パネルを作成する。

【0332】次いで、液晶95を両基板61-98間のギャップ内に注入し、注入口を紫外線接着剤で封止後に、IPA洗浄する。液晶の種類は何れでも良いが、例えばネマティック液晶を用いる高速応答のTN(ツイストネマティック)モードが一般的である。

【0333】次いで、加熱急冷処理して、液晶95を配向させる。

【0334】次いで、TFT基板61のパネル電極取り出し部にフレキシブル配線を異方性導電膜の熱圧着で接続し、更に対向基板98に偏光板を貼合わせる。

【0335】また、液晶パネルの面組立の場合(2インチサイズ以下の小型液晶パネルに適している。)、上記と同様、TFT基板61と対向基板98の素子形成面に、ポリイミド配向膜94、96を形成し、両基板をラビング、又は非接触の線型偏光紫外線光の配向処理する。

【0336】次いで、TFT基板61と対向基板98をダイシング又はスクライブブレイクで単個に分割し、水又はIPA洗浄する。TFT基板61にはコモン剤塗布、対向基板98にはスペーサ含有のシール剤塗布し、両基板を重ね合わせる。これ以降のプロセスは上記に準ずる。

【0337】上記したLCDにおいて、対向基板98はCF(カラーフィルタ)基板であって、カラーフィルタ層(図示せず)をITO電極97下に設けたものである。対向基板98側からの入射光は例えば反射膜93で効率良く反射されて対向基板98側から出射してよい。

【0338】他方、TFT基板61として、TFT基板61にカラーフィルタを設けたオンチップカラーフィルタ(OCCF)構造のTFT基板とするときには、対向基板98にはITO電極がベタ付け(又はブラックマスク付きのITO電極がベタ付け)される。

【0339】透過型LCDの場合、次のようにしてオンチップカラーフィルタ(OCCF)構造とオンチップブラック(OCB)構造を作製することができる。

【0340】即ち、図36の(12)に示すように、フォスフィンシリケートガラス/酸化シリコンの絶縁膜86のドレイン部も窓開けしてドレイン電極用のアルミニウム埋込み層を形成した後、R、G、Bの各色を各セグメント毎に顔料分散したフォトレジスト99を所定厚さ(1~1.5μm)で形成した後、汎用フォトリソグラフィ技術で所定位置(各画素部)のみを残すパターンニングで各カラーフィルタ層99(R)、99(G)、99(B)を形成する(オンチップカラーフィルタ構造)。この際、ドレイン部の窓開けも行う。なお、不透明なセラミック基板や低透過率のガラス及び耐熱性樹脂基板は使用できない。

【0341】次いで、表示用MOSTFTのドレインに連通するコンタクトホールに、カラーフィルタ層層上にかけてブラックマスク層となる遮光層100'を金属のパターンニングで形成する。例えば、スパッタ法により、モリブデンを200~250nm厚で成膜し、表示用MOSTFTを覆って遮光する所定の形状にパターンニングする(オンチップブラック構造)。

【0342】次いで、透明樹脂の平坦化膜92を形成し、更にこの平坦化膜に設けたスルーホールにITO透明電極93を遮光層100'に接続するように形成す

る。

【0343】このように、表示アレイ部上に、カラーフィルタ99やブラックマスク100'を作り込むことにより、液晶表示パネルの開口率を改善し、またバックライトも含めたディスプレイモジュールの低消費電力化が実現する。

【0344】図37は、上述のトップゲート型MOSTFTを組み込んで駆動回路一体型に構成したアクティブマトリクス液晶表示装置(LCD)の全体を概略的に示すものである。このアクティブマトリクスLCDは、主基板61(これはアクティブマトリクス基板を構成する。)と対向基板98とをスペーサ(図示せず)を介して貼り合わせたフラットパネル構造からなり、両基板61-98間に液晶(ここでは図示せず)が封入されている。主基板61の表面には、マトリクス状に配列した画素電極93と、この画素電極を駆動するスイッチング素子とからなる表示部、及びこの表示部に接続される周辺駆動回路部とが設けられている。

【0345】表示部のスイッチング素子は、上記したnMOS又はpMOS又はCMOSでLDD構造のトップゲート型MOSTFTで構成される。また、周辺駆動回路部にも、回路要素として、上記したトップゲート型MOSTFTのCMOS又はnMOS又はpMOSTFT又はこれらの混在が形成されている。なお、一方の周辺駆動回路部はデータ信号を供給して各画素のMOSTFTを水平ライン毎に駆動する水平駆動回路であり、また他方の周辺駆動回路部は各画素のMOSTFTのゲートを走査ライン毎に駆動する垂直駆動回路であり、通常は表示部の両辺にそれぞれ設けられる。これらの駆動回路は、点順次アナログ方式、線順次デジタル方式のいずれも構成できる。

【0346】図38に示すように、直交するゲートバスラインとデータバスラインの交差部に上記のMOSTFTが配置され、このMOSTFTを介して液晶容量(C_L)に画像情報を書き込み、次の情報がくるまで電荷を保持する。この場合、MOSTFTのチャンネル抵抗だけで保持させるには十分ではないので、それを補うため液晶容量と並列に蓄積容量(補助容量)(C_s)を付加し、リーク電流による液晶電圧の低下を補ってよい。こうしたLCD用MOSTFTでは、画素部(表示部)に使用するMOSTFTの特性と周辺駆動回路に使用するMOSTFTの特性とでは要求性能が異なり、特に画素部のMOSTFTではオフ電流の制御、オン電流の確保が重要な問題となる。このため、表示部には、後述の如きLDD構造のMOSTFTを設けることによって、ゲートドレイン間に電界がかかりにくい構造としてチャンネル領域にかかる実効的な電界を低減させ、オフ電流を低減し、特性の変化も小さくできる。しかし、プロセス的には複雑になり、素子サイズも大きくなり、かつオン電流が低下するなどの問題も発生するため、それぞれ

の使用目的に合わせた最適設計が必要である。

【0347】なお、使用可能な液晶としては、TN液晶(アクティブマトリクス駆動のTNモード用に用いられるネマチック液晶)をはじめ、STN(スーパーツイステッドネマチック)、GH(ゲスト・ホスト)、PC(フェーズ・チェンジ)、FLC(強誘電性液晶)、AFLC(反強誘電性液晶)、PDLC(ポリマー分散型液晶)等の各種モード用の液晶を採用してよい。

【0348】<LCDの製造例2>次に、本実施の形態による低温プロセスの多結晶性シリコンMOSTFTを用いたLCD(液晶表示装置)の製造例を示す(この製造例は後述する有機ELやFEDの表示部等にも同様に適用可能である)。

【0349】この製造例では、上述の製造例1において、基板61としてアルミノケイ酸ガラス、ホウケイ酸ガラス等の低歪点ガラスやポリイミド等の耐熱性樹脂を使用し、図34の(1)及び(2)の工程を同様に行う。即ち、基板61上に触媒CVDとフラッシュランプアニールにより錫含有(又は非含有)の多結晶性シリコン薄膜67を形成してこれをアイランド化し、表示領域のnMOSTFT部と周辺駆動回路領域のnMOSTFT部及びpMOSTFT部を形成する。この場合、同時に、ダイオード、コンデンサ、インダクタンス、抵抗等の領域を形成する。上記と同様に、以降のプロセスの説明はMOSTFTについてのものであるが、他の素子のプロセスも同様に処理できることは言うまでもない。

【0350】次いで、図39の(1)に示すように、各MOSTFTゲートチャンネル領域のキャリア不純物濃度を制御して V_{th} を最適化するために、表示領域のnMOSTFT部と周辺駆動回路領域のnMOSTFT部をフォトレジスト82でカバーし、周辺駆動回路領域のpMOSTFT部に、イオン注入又はイオンドーピング法により例えば燐、ひ素等のn型不純物79を 1×10^{12} atoms/cm²のドーズ量でドーピングし、 2×10^{17} atoms/ccのドナー濃度に設定し、更に図39の(2)に示すように、周辺駆動回路領域のpMOSTFT部をフォトレジスト82でカバーし、表示領域のnMOSTFT部と周辺駆動回路領域のnMOSTFT部に、イオン注入又はイオンドーピング法により例えばボロン等のp型不純物83を 5×10^{11} atoms/cm²のドーズ量でドーピングし、 1×10^{17} atoms/ccのアクセプタ濃度を設定する。

【0351】次いで、図39の(3)に示すように、スイッチング特性向上の目的で表示領域のnMOSTFT部にn型のLDD(Lightly Doped Drain)部を形成するために、汎用フォトリソグラフィ技術により、表示領域のnMOSTFTのゲート部と周辺駆動領域のpMOSTFT及びnMOSTFT全部をフォトレジスト82で覆い、露出した表示領域のnMOSTFTのソース/ドレイン領域に、イオン注入又はイオンドーピング法に

より例えば燐等の n 型不純物 79 を $1 \times 10^{13} \text{ atoms/cm}^2$ のドーズ量でドーピングし、 $2 \times 10^{18} \text{ atoms/cc}$ のドナー濃度に設定して、 n 型の LDD 部を形成する。

【0352】次いで、図 40 の (4) に示すように、表示領域の nMOS TFT 部及び周辺駆動回路領域の nMOS TFT 部の全部をフォトレジスト 82 でカバーし、周辺駆動回路領域の pMOS TFT 部のゲート部をフォトレジスト 82 でカバーして露出したソース、ドレイン領域に、イオン注入又はイオンドーピング法により例えば

10 燐等の p 型不純物 83 を $1 \times 10^{15} \text{ atoms/cm}^2$ のドーズ量でドーピングし、 $2 \times 10^{20} \text{ atoms/cc}$ のアクセプタ濃度に設定して p 型のソース部 84、ドレイン部 85 を形成する。

【0353】次いで、図 40 の (5) に示すように、周辺駆動回路領域の pMOS TFT 部をフォトレジスト 82 でカバーし、表示領域の nMOS TFT のゲート及び LDD 部と周辺駆動回路領域の nMOS TFT 部のゲート部をフォトレジスト 82 でカバーし、露出した表示領域及び周辺駆動領域の nMOS TFT のソース、ドレイン領域に、イオン注入又はイオンドーピング法により例えば

20 燐、ひ素等の n 型不純物 79 を $1 \times 10^{15} \text{ atoms/cm}^2$ のドーズ量でイオンドーピングし、 $2 \times 10^{20} \text{ atoms/cc}$ のドナー濃度に設定し、 n 型のソース部 80、ドレイン部 81 を形成する。

【0354】次いで、図 40 の (6) に示すように、プラズマ CVD、減圧 CVD、触媒 CVD 法等により、ゲート絶縁膜 68 として、酸化シリコン膜 (40~50 nm 厚)、窒化シリコン膜 (10~20 nm 厚)、酸化シリコン膜 (40~50 nm 厚) の積層膜を形成する。そして、ハロゲンランプ等での RTA 処理を例えば、約 1000℃、10~20 秒行い、添加した n 又は p 型不純物を活性化することにより、設定した各々のキャリア不純物濃度を得る。

【0355】この後に、全面に 400~500 nm 厚の 1% Si 入りアルミニウムスパッタ膜を形成し、汎用フォトリソグラフィ及びエッチング技術により、全 MOS TFT のゲート電極 75 及びゲートラインを形成する。更にこの後に、プラズマ CVD、触媒 CVD 法等により、酸化シリコン膜 (100~200 nm 厚)、フォスフィンシリケートガラス膜 (PSG) 膜 (200~300 nm 厚) の積層膜からなる絶縁膜 86 を形成する。

【0356】次いで、汎用フォトリソグラフィ及びエッチング技術により、周辺駆動回路の全 MOS TFT 部のソース/ドレイン部及び表示用 nMOS TFT 部のソース部の窓開けを行う。窒化シリコン膜は CF_4 のプラズマエッチング、酸化シリコン膜及びフォスフィンシリケートガラス膜はフッ酸系エッチング液でエッチング処理する。

【0357】次いで、図 40 の (7) に示すように、全

面に 400~500 nm 厚の 1% Si 入りアルミニウムスパッタ膜を形成し、汎用フォトリソグラフィ及びエッチング技術により、周辺駆動回路の全 MOS TFT のソース、ドレイン電極 88、89、90、91 を形成すると同時に、表示用 nMOS TFT のソース電極 87 及びデータラインを形成する。

【0358】次いで、図示は省略したが、プラズマ CVD、減圧 CVD、触媒 CVD 法等により、酸化シリコン膜 (100~200 nm 厚)、フォスフィンシリケートガラス膜 (PSG 膜; 200~300 nm 厚)、窒化シリコン膜 (100~300 nm 厚) を全面に形成し、フォーミングガス中で約 400℃、1 時間の水素化及びシンター処理を行う。その後に、表示用 nMOS TFT のドレイン部コンタクト用窓開けを行う。

【0359】上記において、プラズマ CVD 法でパッシベーション用水素多含有窒化シリコン膜 (500~600 nm 厚) を積層形成する場合、窒素又はフォーミングガス中の 420℃、約 30 分の水素化処理により、パッシベーション用窒化シリコン膜中の水素拡散による界面特性の改善、多結晶性シリコン薄膜の未結合末端での結晶性改善などによるキャリア移動度の向上を図ることができる。なお、窒化シリコン膜は水素を閉じ込めるので、水素化処理の効果を高めるには、本実施の形態のように多結晶性シリコン薄膜を窒化シリコン膜で挟む構造、つまりガラス基板/Na イオン阻止及び保護用窒化シリコン膜+酸化シリコン膜/多結晶性シリコン薄膜/ゲート絶縁膜 (酸化シリコン膜等)/ゲート電極/酸化シリコン膜及びパッシベーション用窒化シリコン膜とするのが好ましい (これは他の例でも同様)。このときに、この水素化処理により、同時に 1% Si 入りアルミニウム合金膜とソース/ドレイン領域のシリコンのシンター処理を行い、オーミックコンタクトを得る。

【0360】なお、LCD が透過型の場合は、画素開口部の酸化シリコン膜、フォスフィンシリケートガラス膜及び窒化シリコン膜は除去し、また反射型の場合は、画素開口部等の酸化シリコン膜、フォスフィンシリケートガラス膜及び窒化シリコン膜は除去する必要はない (これは上述又は後述の LCD においても同様である)。

【0361】透過型の場合、図 36 の (10) と同様に、全面に、スピンコート等で 2~3 μm 厚のアクリル系透明樹脂平坦化膜を形成し、汎用フォトリソグラフィ及びエッチング技術により、表示用 MOS TFT のドレイン側の透明樹脂窓開けを形成した後、全面に 130~150 nm 厚の ITO スパッタ膜を形成し、汎用フォトリソグラフィ及びエッチング技術により、表示用 nMOS TFT のドレイン部とコンタクトした ITO 透明電極を形成する。更に熱処理 (フォーミングガス中で 200~250℃、1 時間) により、コンタクト抵抗の低減化と ITO 透明度向上を図る。

【0362】反射型の場合は、全面に、スピンコート等

で2~3 μ m厚の感光性樹脂膜を形成し、汎用フォトリソグラフィ及びエッチング技術により、少なくとも画素部に凹凸形状パターンを形成し、リフローさせて凹凸反射下部を形成する。同時に、表示用nMOSTFTのドレイン部の感光性樹脂窓開けを形成する。しかる後、全面に、300~400nm厚の1%Si入りアルミニウムスパッタ膜を形成し、汎用フォトリソグラフィ及びエッチング技術により、画素部以外のアルミニウム膜を除去し、表示用nMOSTFTのドレイン電極と接続した凹凸形状のアルミニウム反射部を形成する。その後、フォーミングガス中で300℃、1時間シンター処理する。

【0363】なお、上記において、MOSTFTのソース、ドレインを形成した後に、フラッシュランプアニールすれば、低級結晶性シリコン薄膜の膜温度を局部的に上昇させ、結晶化が促進され、高移動度及び高品質の多結晶性シリコン薄膜が形成される。同時に、ゲートチャンネル/ソース/ドレイン領域に注入された磷、ヒ素、ボロンイオン等が活性化されるので、生産性が良い場合がある。

【0364】<ボトムゲート型又はデュアルゲート型MOSTFT>MOSTFTを組み込んだ例えばLCDにおいて、上述のトップゲート型に代えて、ボトムゲート型、デュアルゲート型のMOSTFTからなる透過型LCDを製造した例を述べる（但し、反射型LCDも同様である）。

【0365】図41（B）に示すように、表示部及び周辺部にはボトムゲート型のMOSTFTが設けられ、或いは図41（C）に示すように、表示部及び周辺部にはデュアルゲート型のMOSTFTがそれぞれ設けられている。これらのボトムゲート型、デュアルゲート型MOSTFTのうち、特にデュアルゲート型の場合には上下のゲート部によって駆動能力が向上し、高速スイッチング及び大電流駆動の大型パネル等に適し、また上下のゲート部のいずれかを選択的に用いて場合に応じてトップゲート型又はボトムゲート型として動作させることもできる。

【0366】図41（B）のボトムゲート型MOSTFTにおいて、図中の102は耐熱性のMo又はMo-Ta合金等のゲート電極であり、103は窒化シリコン膜及び104は酸化シリコン膜であってボトムゲート絶縁膜を形成し、このゲート絶縁膜上にはトップゲート型MOSTFTと同様の多結晶性シリコン薄膜67を用いたチャンネル領域等が形成されている。また、図41

（C）のデュアルゲート型MOSTFTにおいて、ボトムゲート部はボトムゲート型MOSTFTと同様であるが、トップゲート部は、ゲート絶縁膜106を酸化シリコン膜、又は酸化シリコン/窒化シリコン積層膜又は酸化シリコン/窒化シリコン/酸化シリコン積層膜で形成し、この上にトップゲート電極75を設けている。

【0367】<ボトムゲート型MOSTFTの製造>まず、ガラス基板61上の全面に、耐熱性のMo又はMo-Ta合金のスパッタ膜を300~400nm厚に形成し、これを汎用フォトリソグラフィ及びエッチング技術により20~45度のテーパエッチングし、少なくともTFT形成領域に、ボトムゲート電極102を形成すると同時に、ゲートラインを形成する。ガラス材質の使い分けは上述したトップゲート型に準ずる。

【0368】次いで、プラズマCVD、触媒CVD、減圧CVD等の気相成長法により、ゲート絶縁膜及び保護膜用の窒化シリコン膜103及び酸化シリコン膜104と、錫含有又は非含有のアモルファスシリコン含有微結晶シリコン薄膜67Aとを形成する。この膜は上述したと同様に更にフラッシュランプアニールを行って錫含有又は非含有の多結晶性シリコン薄膜67を形成する。これらの気相成膜条件は上述したトップゲート型に準ずる。なお、ボトムゲート絶縁膜及び保護膜用の窒化シリコン膜はガラス基板からのNaイオンストップ作用を期待して設けるものであるが、合成石英ガラスの場合は不要である。尚、上述と同様に、光反射低減及び保護用膜（酸化シリコン膜など）を低級結晶性シリコン薄膜67A上に形成してフラッシュランプアニールしてもよい。更に、MOSTFT領域等をアイランド化した後にフラッシュランプアニールしてもよい。

【0369】そして次に、上述したと同様に、汎用フォトリソグラフィ及びエッチング技術によりpMOSTFT、nMOSTFT領域をアイランド化し（但し、一方の領域のみを図示：以下、同様）、各チャンネル領域のキャリア不純物濃度を制御して V_{th} を最適化するために、イオン注入又はイオンドーピング法によりn型又はp型不純物を適量混入した後、更に、各MOSTFTのソース、ドレイン領域を形成するためにイオン注入又はイオンドーピング法によりn型又はp型不純物を適量混入させる。この後に、それぞれの不純物活性化のためにRTA等によりアニールする。

【0370】これ以降のプロセスは、上述したものに準ずる。

【0371】<デュアルゲート型MOSTFTの製造>上記のボトムゲート型と同様に、ボトムゲート電極102、ボトムゲートライン、ボトムゲート絶縁膜103及び104、錫含有又は非含有の多結晶性シリコン薄膜67をそれぞれ形成する。但し、ボトムゲート絶縁膜及び保護膜用の窒化シリコン膜103はガラス基板からのNaイオンストップ作用を期待して設けるものであるが、合成石英ガラスの場合は不要である。尚、上述と同様に、光反射低減及び保護用膜（酸化シリコン膜など）を低級結晶性シリコン薄膜67A上に形成してフラッシュランプアニールしてもよい。更に、MOSTFT領域等をアイランド化した後にフラッシュランプアニールしてもよい。

【0372】そして次に、上述したと同様に、汎用フォトリソグラフィ及びエッチング技術によりpMOSTFT、nMOSTFT領域をアイランド化し、各チャンネル領域のキャリア不純物濃度を制御して V_{th} を最適化するために、イオン注入又はイオンドーピング法によりn型又はp型不純物を適量混入した後、更に、各MOSTFTのソース、ドレイン領域を形成するためにイオン注入又はイオンドーピング法によりn型又はp型不純物を適量混入させる。この後に、それぞれの不純物活性化のためにRTA等によりアニールする。

【0373】次いで、トップゲート絶縁膜106用の酸化シリコン膜又は酸化シリコン/窒化シリコン積層膜又は酸化シリコン/窒化シリコン/酸化シリコン積層膜を成膜する。気相成長条件は上述したトップゲート型に準ずる。

【0374】この後に、全面に400～500nm厚の1%Si入りアルミニウムスパッタ膜を形成し、汎用フォトリソグラフィ及びエッチング技術により、全MOSTFTのトップゲート電極75及びトップゲートラインを形成する。この後に、プラズマCVD、触媒CVD法等により、酸化シリコン膜(100～200nm厚)、フォスフィンシリケートガラス(PSG)膜(200～300nm厚)、窒化シリコン膜(100～200nm厚)からなる多層絶縁膜86を形成する。次に、汎用フォトリソグラフィ及びエッチング技術により、周辺駆動回路の全MOSTFTのソース、ドレイン電極部、さらに表示部nMOSTFTのソース電極部の窓開けを行う。

【0375】次いで、全面に400～500nm厚の1%Si入りアルミニウムスパッタ膜を形成し、汎用フォトリソグラフィ及びエッチング技術により、周辺駆動回路の全MOSTFTのソース及びドレインの各アルミニウム電極87、88及び表示部nMOSTFTのアルミニウム電極89、ソースライン及び配線等を形成する。その後に、フォーミングガス中で約400℃、1時間、水素化及びシンター処理する。その後、上述と同様に、全面に絶縁膜を形成した後に、表示部のnMOSTFTのドレイン電極部とつながったITO膜等の透明画素電極を形成する。

【0376】上述したように、本実施の形態によれば、上述の第1の実施の形態と同様に、触媒CVD又はプラズマCVD等の気相成長法とフラッシュランプアニールにより、LCDの表示部及び周辺駆動回路部のMOSTFTのゲートチャンネル、ソース及びドレイン領域となる、高キャリア移動度で V_{th} 調整が容易であり、低抵抗での高速動作が可能な多結晶性シリコン薄膜を形成することができる。この多結晶性シリコン薄膜によるトップゲート、ボトムゲート又はデュアルゲート型MOSTFTを用いた液晶表示装置は、高いスイッチング特性と低リーク電流のLDD構造を有する表示部と、高性能の駆

動回路、映像信号処理回路、メモリー回路等の周辺回路とを一体化した構成が可能となり、高画質、高精細、狭額縁、高効率、安価な液晶パネルの実現が可能である。

【0377】そして、低温(300～400℃)で形成できるので、安価で、大型化が容易な低歪点ガラスや耐熱性樹脂基板を採用でき、コストダウンが可能となる。しかも、アレイ部上にカラーフィルタやブラックマスクを作り込むことにより、液晶表示パネルの開口率、輝度等を改善し、カラーフィルタ基板を不要とし、生産性改善等によるコストダウンが実現する。

【0378】<LCDの製造例3>図42～図44は、アクティブマトリクスLCDの他の製造例を示すものである。

【0379】まず、図42の(1)に示すように、ほうけい酸ガラス、アルミノけい酸ガラス、石英ガラス、透明性結晶化ガラスなどの絶縁基板61の一主面において、少なくともTFT形成領域に、フォトレジストを所定パターンに形成し、これをマスクとして例えばCF₄、プラズマのF⁺イオンを照射し、リアクティブイオンエッチング(RIE)などの汎用フォトリソグラフィ及びエッチング技術によって基板61に段差223付きの凹部を適当な形状及び寸法で複数個形成する。

【0380】段差223は、後述の単結晶性シリコンのグラフォエピタキシャル成長時のシードとなるものであって、深さd0.01～0.03μm、幅w1～5μm、長さ(紙面垂直方向)5～10μmであってよく、底辺と側面のなす角(底角)は直角とする。なお、基板1の表面には、ガラス基板からのNaイオンなどの拡散防止のため、窒化シリコン膜(50～200nm厚)と酸化シリコン膜(300～400nm厚)を予め連続形成しておき、この酸化シリコン膜内に適当な形状及び寸法の段差付き凹部を複数個形成してもよい。

【0381】次いで、図42の(2)に示すように、フォトレジストの除去後に、絶縁基板61の一主面において、触媒CVD又はプラズマCVD等によって、段差223を含む全面に錫等のIV族元素含有又は非含有の低級結晶性シリコン薄膜67Aを例えば50nm厚に形成させる。

【0382】次いで、図42の(3)に示すように、低級結晶性シリコン薄膜67Aに対し、フラッシュランプアニールによるフラッシュ照射221を行い、このアニールでの熔融と徐冷却時に、段差223の底辺の角をシードにグラフォエピタキシャル成長させて単結晶性シリコン薄膜67を凹部のみならず、そのラテラル(横)方向の周辺部上にも形成することができる。この時に、前記と同様に、低級結晶性シリコン薄膜上に反射低減及び保護用絶縁膜を被覆し、更にアイランド化させたものをフラッシュランプアニールしてもよい。なお、このフラッシュランプアニールと低級結晶性半導体薄膜の成膜を繰り返すことにより積層して、μm単位の単結晶性半導

体厚膜を形成してもよい（以下、同様）。

【0383】このようにして単結晶性シリコン薄膜67は例えば（100）面が基板上にグラフォエピタキシャル成長する。この場合、段差223は、フラッシュランプアニールの高エネルギーによってグラフォエピタキシャル成長と称されるエピタキシャル成長のシードとなってこれを促進し、より結晶性の高い単結晶性シリコン薄膜67（約50nm厚）が得られる。これについては、図43に示すように、非晶質基板（ガラス）61に上記の段差223の如き垂直な壁を作り、この上にエピタキシー層を形成すると、図43（a）のようなランダムな面方位であったものが図43（b）のように（100）面が段差223の面に沿って結晶成長する。また、上記段差の形状を図44（a）～（f）のように種々に変えることによって、成長層の結晶方位を制御することができる。MOSTFETを作成する場合は、（100）面が最も多く採用されている。要するに、段差223の断面形状は、底辺角部の角度（底角）が直角をはじめ、上端から下端にかけて内向き又は外向きに傾斜していてもよく、結晶成長が生じ易い特定方向の面を有していればよい。段差223の底角は通常は直角又は90°以下が望ましく、その底面の角部は僅かな曲率を有しているのがよい。

【0384】こうして、フラッシュランプアニール時のグラフォエピタキシャル成長によって基板61上に単結晶性シリコン薄膜67を形成した後、単結晶性シリコン薄膜67（約50nm厚）を活性層とする例えばトップゲート型MOSTFETの作製を上述したと同様に行う。

【0385】なお、基板61として、ポリイミド等の耐熱性樹脂基板を用い、これに対し少なくともTFT形成領域に所定形状及び寸法の段差223付きの凹部を形成し、上記と同様に処理してもよい。例えば、100μm厚のポリイミド基板に、例えば高さ0.03～0.05μm、幅5μm、長さ10μmの所定寸法／形状の凸部を有する金型をスタンピングして、ほぼ金型と同じ寸法／形の凹部を形成する。又は、補強材としてのステンレス等の金属板に、コーティング、スクリーン印刷等の方法によりポリイミド等の耐熱性樹脂膜（5～10μm厚）を形成し、この膜に例えば高さ0.03～0.05μm、幅5μm、長さ10μmの所定寸法／形状の凸部を有する金型をスタンピングして、少なくともTFT形成領域にはほぼ金型と同じ寸法／形状の段差を有する凹部を形成する。これ以降は、上記したと同様の工程で単結晶性シリコン薄膜の形成、MOSTFETの形成等を行う。

【0386】以上に説明したように、本例によれば、所定形状／寸法の段差223を有する凹部を基板61に設け、これをシードとしてフラッシュランプアニールによってグラフォエピタキシャル成長させることにより、高いキャリア移動度の単結晶性シリコン薄膜67が得られ

るので、高性能ドライバ内蔵のLCDの製造が可能となる。

【0387】＜LCDの製造例4＞図45は、アクティブマトリクスLCDの更に他の製造例を示すものである。

【0388】まず、図45の（1）に示すように、絶縁基板61の一面において、少なくともTFT形成領域に、単結晶シリコンと格子整合の良好な結晶性サファイア薄膜（厚さ10～200nm）224を形成する。この結晶性サファイア薄膜224は、高密度プラズマCVD法や、触媒CVD法等により、トリメチルアルミニウムガスなどを酸化性ガス（酸素、水分、オゾン等）で酸化し、結晶化させて作成する。絶縁基板61として石英ガラス等の高耐熱性ガラス基板、ほうけい酸ガラス、アルミノけい酸ガラス等の低歪点ガラス基板、ポリイミド等の耐熱性樹脂基板などが使用可能である。

【0389】次いで、図45の（2）に示すように、触媒CVD法、プラズマCVD法等によって、結晶性サファイア薄膜224上に低級結晶性シリコン薄膜67Aを例えば50nm厚に形成する。

【0390】次いで、図45の（3）に示すように、低級結晶性シリコン薄膜67Aに対し、フラッシュランプアニールのフラッシュ照射221を行い、熔融と徐冷却により、結晶性サファイア薄膜224をシードにヘテロエピタキシャル成長させて単結晶性シリコン薄膜67を形成する。この時に、前記と同様に、低級結晶性シリコン薄膜上に反射低減及び保護用絶縁膜を被覆し、更にアイランド化させたものをフラッシュランプアニールしてもよい。即ち、結晶性サファイア薄膜224は単結晶シリコンと良好な格子整合を示すために、これがシードとなって、フラッシュランプアニールにより単結晶性シリコンは例えば（100）面が基板上に効果的にヘテロエピタキシャル成長する。この場合、上述した段差223を形成し、これを含む面上に結晶性サファイア薄膜224を形成すれば、段差223によるグラフォエピタキシャル成長を加味したヘテロエピタキシャル成長により、より結晶性の高い単結晶性シリコン薄膜67が得られる。尚、このフラッシュランプアニールと低級結晶性半導体薄膜の成膜を繰り返すことにより積層して、μm単位の単結晶性半導体厚膜を形成してもよい。

【0391】こうして、フラッシュランプアニール時のヘテロエピタキシャル成長によって基板61上に単結晶性シリコン薄膜67を析出させた後、この単結晶性シリコン薄膜67（約50nm厚）を活性層とする例えばトップゲート型MOSTFETの作製を上述したと同様に行う。

【0392】以上に説明したように、本例によれば、基板61上に設けた結晶性サファイア薄膜224をシードとしてフラッシュランプアニールによってヘテロエピタキシャル成長させることにより、高いキャリア移動度の

単結晶性シリコン薄膜 67 が得られるので、高性能ドライバ内蔵の LCD の製造が可能となる。

【0393】また、結晶性サファイア薄膜 224 などの上記物質層は、様々な原子の拡散バリアになるため、ガラス基板 61 からの不純物の拡散を制御することができる。この結晶性サファイア薄膜は Na イオンストップ作用があるので、この膜厚が十分に厚い場合には、上記下地保護膜のうち少なくとも窒化シリコン膜は省略できる。

【0394】なお、結晶性サファイア薄膜に代えて、これと同様の作用をなす、スピネル構造体、フッ化カルシウム、フッ化ストロンチウム、フッ化バリウム、リン化ボロン、酸化イットリウム及び酸化ジルコニウムからなる群より選ばれた少なくとも 1 種の物質層が形成されてもよい。

【0395】第 3 の実施の形態

本実施の形態は、本発明を有機又は無機のエレクトロルミネセンス (EL) 表示装置、例えば有機 EL 表示装置に適用したものである。以下にその構造例と製造例を示す。尚、ここではトップゲート型 MOSTFT の例であるが、上記のようにボトムゲート型又はデュアルゲート型 MOSTFT を適用してもよいことは言うまでもない。

【0396】＜有機 EL 素子の構造例 I＞図 46

(A)、(B) に示すように、この構造例 I によれば、ガラス等の基板 111 上に、本発明に基づいて上述した方法で形成された高結晶化率、大粒径の錫含有又は非含有の多結晶性シリコン薄膜 (又は単結晶性シリコン薄膜：以下、多結晶性シリコン薄膜を例に説明するが、単結晶性シリコン薄膜も同様である。) によって、スイッチング用 MOSTFT 1 と電流駆動用 MOSTFT 2 のゲートチャンネル領域 117、ソース領域 120 及びドレイン領域 121 が形成されている。そして、ゲート絶縁膜 118 上にゲート電極 115、ソース及びドレイン領域上にソース電極 127 及びドレイン電極 128、131 が形成されている。MOSTFT 1 のドレインと MOSTFT 2 のゲートとはドレイン電極 128 を介して接続されていると共に、MOSTFT 2 のソース電極 127 との間に絶縁膜 136 を介してキャパシタ C が形成され、かつ、MOSTFT 2 のドレイン電極 131 は有機 EL 素子の陰極 138 にまで延設されている。尚、スイッチング用 MOSTFT 1 に LDD 部を形成してスイッチング特性向上を図ってもよい。

【0397】各 MOSTFT は絶縁膜 130 で覆われ、この絶縁膜上には陰極を覆うように有機 EL 素子の例えば緑色有機発光層 132 (又は青色有機発光層 133、更には図示しない赤色有機発光層) が形成され、この有機発光層を覆うように陽極 (1 層目) 134 が形成され、更に共通の陽極 (2 層目) 135 が全面に形成されている。なお、CMOSTFT からなる周辺駆動回路、

映像信号処理回路、メモリー回路等の製法は、上述した液晶表示装置に準ずる (以下、同様)。

【0398】この構造の有機 EL 表示部は、有機 EL 発光層が電流駆動用 MOSTFT 2 のドレインに接続され、陰極 (Li-Al、Mg-Ag など) 138 がガラス等の基板 111 の面に被着され、陽極 (ITO 膜など) 134、135 がその上部に設けられており、従って、上面発光 136 となる。また、陰極が MOSTFT 上を覆っている場合は発光面積が大きくなり、このときには陰極が遮光膜となり、発光光等が MOSTFT に入射しないのでリーク電流発生がなく、TFT 特性の悪化がない。

【0399】また、各画素部周辺に図 46 (C) のようにブラックマスク部 (クロム、二酸化クロム等) 140 を形成すれば、光漏れ (クロストーク等) を防止し、コントラストの向上が図れる。

【0400】なお、画素表示部に緑色、青色、赤色の 3 色発光層を使用する方法、色変換層を使用する方法、白色発光層にカラーフィルターを使用する方法のいずれでも、良好なフルカラーの有機 EL 表示装置が実現でき、また、各色発光材料である高分子化合物のスピンコーティング法、又は金属錯体の真空加熱蒸着法においても、長寿命、高精度、高品質、高信頼性のフルカラー有機 EL 部を生産性良く作成できるので、コストダウンが可能となる (以下、同様)。

【0401】次に、この有機 EL 素子の製造プロセスを説明すると、まず、図 47 の (1) に示すように、上述した工程を経て多結晶性シリコン薄膜からなるソース領域 120、チャンネル領域 117 及びドレイン領域 121 を形成した後、ゲート絶縁膜 118 を形成し、この上に MOSTFT 1、2 のゲート電極 115 を Mo-Ta 合金等のスパッタリング成膜と汎用フォトリソグラフィ及びエッチング技術により形成し、同時に MOSTFT 1 のゲート電極に接続されるゲートラインを形成する。そして、オーバーコート膜 (酸化シリコン等) 137 を触媒 CVD 等の気相成長法により (以下、同様) 形成後、Mo-Ta 合金等のスパッタリング成膜と汎用フォトリソグラフィ及びエッチング技術により MOSTFT 2 のソース電極 127 及びアースラインを形成し、更にオーバーコート膜 (酸化シリコン/窒化シリコン積層膜) 136 を形成する。ハロゲンランプ等での RTA (Rapid Thermal Anneal) 処理 (例えば約 1000℃、30 秒) により、イオンドーピングした n 又は p 型不純物を活性化させる。

【0402】次いで、図 47 の (2) に示すように、MOSTFT 1 のソース/ドレイン部、MOSTFT 2 のゲート部の窓開けを行った後、図 47 の (3) に示すように、1% Si 入り Al のスパッタリング成膜及び汎用フォトリソグラフィ及びエッチング技術により MOSTFT 1 のドレイン電極と MOSTFT 2 のゲート電極を

1%Si入りAl配線128で接続し、同時にMOSTFT1のソース電極と、この電極に接続される1%Si入りAlからなるソースラインを形成する。そして、オーバーコート膜（酸化シリコン/フッ素シリケートガラス/窒化シリコン積層膜等）130を形成し、MOSTFT2のドレイン部の窓開けを行い、MOSTFT2のドレイン部と接続した発光部の陰極138を形成する。そして、この後に、水素化及びシンター処理する。

【0403】次いで、図47の(4)に示すように、有機発光層132等及び陽極134、135を形成する。

【0404】なお、図46(B)の素子において、有機発光層の代わりに公知の発光ポリマーを用いれば、アクティブマトリクス駆動の発光ポリマー表示装置(LEPD)として構成することができる(以下、同様)。

【0405】<有機EL素子の構造例II>図48

(A)、(B)に示すように、この構造例IIによれば、ガラス等の基板111上に、上記の構造例Iと同様に、本発明に基づいて上述した方法で形成された高結晶化率、大粒径の錫含有又は非含有の多結晶性シリコン薄膜によって、スイッチング用MOSTFT1と電流駆動用MOSTFT2のゲートチャンネル117、ソース領域120及びドレイン領域121が形成されている。そして、ゲート絶縁膜118上にゲート電極115、ソース及びドレイン領域上にソース電極127及びドレイン電極128、131が形成されている。MOSTFT1のドレインとMOSTFT2のゲートとはドレイン電極128を介して接続されていると共に、MOSTFT2のドレイン電極131との間に絶縁膜136を介してキャパシタCが形成され、かつ、MOSTFT2のソース電極127は有機EL素子の陽極144にまで延設されている。尚、スイッチング用MOSTFT1にLDD部を形成してスイッチング特性向上を図ってもよい。

【0406】各MOSTFTは絶縁膜130で覆われ、この絶縁膜上には陽極を覆うように有機EL素子の例えば緑色有機発光層132(又は青色有機発光層133、更には図示しない赤色有機発光層)が形成され、この有機発光層を覆うように陰極(1層目)141が形成され、更に共通の陰極(2層目)142が全面に形成されている。

【0407】この構造の有機EL表示部は、有機EL発光層が電流駆動用MOSTFT2のソースに接続され、ガラス等の基板111の面に被着された陽極144を覆うように有機EL発光層を形成し、その有機EL発光層を覆うように陰極141を形成し、全面に陰極142を形成しており、従って、下面発光136となる。また、陰極が有機EL発光層間及びMOSTFT上を覆っている。即ち、全面に、例えば緑色発光有機EL層を真空加熱蒸着法等により形成した後に、緑色発光有機EL部をフォトリソグラフィ及びドライエッチングで形成し、連

続して同様に、青色、赤色発光有機EL部を形成し、最後に各部に陰極(電子注入層)141をマグネシウム：銀合金又はアルミニウム：リチウム合金により形成する。この全面に更に形成した陰極(電子注入層)142で密封するので、外部から有機EL層間に湿気が侵入することを特に全面被着の陰極142により防止して湿気に弱い有機EL層の劣化や電極の酸化を防止し、長寿命、高品質、高信頼性が可能となる(これは、図46の構造例Iでも陽極で全面被覆されているため、同様である)。また、陰極141及び142により放熱効果が高まるので、発熱による有機EL薄膜の構造変化(融解又は再結晶化)が低減し、長寿命、高品質、高信頼性が可能となる。しかも、これによって、高精度、高品質のフルカラーの有機EL層を生産性良く作成できるので、コストダウンが可能となる。

【0408】また、各画素部周辺に図48(C)のようにブラックマスク部(クロム、二酸化クロム等)140を形成すれば、光漏れ(クロストーク等)を防止し、コントラストの向上が図れる。なお、このブラックマスク部140は、絶縁性膜、例えば酸化シリコン膜143(これはゲート絶縁膜118と同時に同一材料で形成してよい。)によって覆われている。

【0409】次に、この有機EL素子の製造プロセスを説明すると、まず、図49の(1)に示すように、上述した工程を経て多結晶性シリコン薄膜からなるソース領域120、チャンネル領域117及びドレイン領域121を形成した後、触媒CVD等の気相成長法によりゲート絶縁膜118を形成し、Mo-Ta合金等のスパッタリング成膜及び汎用フォトリソグラフィ及びエッチング技術によりこの上にMOSTFT1、2のゲート電極115を形成し、同時にMOSTFT1のゲート電極に接続されるゲートラインを形成する。そして、触媒CVD等の気相成長法によりオーバーコート膜(酸化シリコン等)137を形成後、Mo-Ta合金等のスパッタリング成膜及び汎用フォトリソグラフィ及びエッチング技術によりMOSTFT2のドレイン電極131及びV_{ss}ラインを形成し、更に触媒CVD等の気相成長法によりオーバーコート膜(酸化シリコン/窒化シリコン積層膜等)136を形成する。なお、ハロゲンランプ等でのRTA(Rapid Thermal Anneal)処理(例えば、約1000℃、10~30秒)により、イオン注入したキャリア不純物を活性化させる。

【0410】次いで、図49の(2)に示すように、汎用フォトリソグラフィ及びエッチング技術によりMOSTFT1のソース/ドレイン部、MOSTFT2のゲート部の窓開けを行った後、図49の(3)に示すように、1%Si入りAlのスパッタリング成膜及び汎用フォトリソグラフィ及びエッチング技術により、MOSTFT1のドレインとMOSTFT2のゲートを1%Si入りAl配線128で接続し、同時にMOSTFT1の

ソースに接続される 1% Si 入り Al からなるソースラインを形成する。そして、オーバーコート膜（酸化シリコン/フォスフィンシリケートガラス/窒化シリコン積層膜等）130を形成し、水素化及びシンター処理を行い、その後に汎用フォトリソグラフィ及びエッチング技術によりMOSTFT2のソース部の窓開けを行い、ITO等のスパッタリング及び汎用フォトリソグラフィ及びエッチング技術によりMOSTFT2のソース部と接続した発光部の陽極144を形成する。

【0411】次いで、図49の(4)に示すように、上記のように有機発光層132等及び陰極141、142を形成する。

【0412】なお、以下に述べる有機ELの各層の構成材料や形成方法は図48の例に適用されるが、図46の例にも同様に適用されてよい。

【0413】従来の周辺駆動回路一体型のアクティブマトリックス型有機EL表示装置では、X方向信号線とY方向信号線により画素が特定され、その画素においてスイッチ用MOSTFTがONされてその信号保持用コンデンサに画像データが保持される。これにより電流制御用MOSTFTがONされ、電源線より有機EL素子に画像データに応じたバイアス用の電流が流れ、これが発光する。しかしこのときに、アモルファスシリコンMOSTFTの場合は、 V_{th} が変動して電流値が変わり易く、画質に変動が起きやすい。しかも、キャリア移動度が小さいため高速応答でドライブできる電流にも限界があり、またpチャンネルの形成が困難で小規模なCMOS回路構成さえも困難である。

【0414】これに対し、本発明に基づいて上記したように、比較的大面積化が容易でかつ高信頼性であってキャリア移動度も高く、CMOS回路構成も可能な多結晶性シリコンTFTを実現することができる。

【0415】なお、上記において、緑色(G)発光有機EL層、青色(B)発光有機EL層、赤色(R)発光有機EL層はそれぞれ、100~200nm厚に形成するが、これらの有機EL層は、低分子化合物の場合は真空加熱蒸着法で形成され、高分子化合物の場合はディッピングコーティング、スピンコーティング、ロールコーティングなどの塗布法やインクジェット法によりR、G、B発光ポリマーを配列する方法が用いられる。金属錯体の場合は、昇華可能な材料を真空加熱蒸着法で形成される。

【0416】有機EL層には、単層型、二層型、三層型等があるが、ここでは低分子化合物の三層型の例を示す。

単層型；陽極／バイポーラー発光層／陰極、
二層型；陽極／ホール輸送層／電子輸送性発光層／陰極、又は陽極／ホール輸送性発光層／電子輸送層／陰極、
三層型；陽極／ホール輸送層／発光層／電子輸送層／陰

極、又は陽極／ホール輸送性発光層／キャリアブロック層／電子輸送性発光層／陰極

【0417】緑色発光有機EL層に低分子化合物を用いる場合は、ガラス基板上の陽極（ホール注入層）である、電流駆動用MOSTFTのソース部とコンタクトしたITO透明電極上に、連続した真空加熱蒸着法により形成する。

1) ホール輸送層は、アミン系化合物（例えば、トリアリールアミン誘導体、アリールアミンオリゴマー、芳香族第三アミン等）等

2) 発光層は、緑色発光材料であるトリス（8-ヒドロキシキシリノ）Al錯体（Alq）等

3) 電子輸送層は、1, 3, 4-オキサジアゾール誘導体（OXD）、1, 2, 4-トリアゾール誘導体（TAZ）等

4) 陰極である電子注入層は、4eV以下の仕事関数を有する材料で作られるのが好ましい。

例えば、10:1（原子比）のマグネシウム：銀合金の10~30nm厚

20 アルミニウム：リチウム（濃度は0.5~1%）合金の10~30nm厚

ここで、銀は有機界面との接着性を増すためにマグネシウム中に1~10原子%添加され、リチウムは安定化のためにアルミニウム中に濃度は0.5~1%添加される。

【0418】緑色画素部を形成するには、緑色画素部をフォトレジストでマスクし、CCl₄ガス等のプラズマエッチングにより陰極である電子注入層のアルミニウム：リチウム合金を除去し、連続して電子輸送層、発光層、ホール輸送層の低分子系化合物及びフォトレジストを酸素プラズマエッチングで除去し、緑色画素部を形成する。この時に、フォトレジストの下にはアルミニウム：リチウム合金があるので、フォトレジストがエッチングされても問題ない。又、この時に、電子輸送層、発光層、ホール輸送層の低分子系化合物層は、ホール注入層のITO透明電極よりも大きい面積とし、後工程で全面に形成する陰極の電子注入層（マグネシウム：銀合金）と電氣的ショートしないようにする。

【0419】次に、青色発光有機EL層を低分子化合物で形成する場合は、ガラス基板上の陽極（ホール注入層）である電流駆動用TFTのソース部とコンタクトしたITO透明電極上に、連続して真空加熱蒸着により形成する。

1) ホール輸送層は、アミン系化合物（例えば、トリアリールアミン誘導体、アリールアミンオリゴマー、芳香族第三アミン等）等

2) 発光層は、青色発光材料であるDTVBiのようなジスチリル誘導体等

3) 電子輸送層は、1, 3, 4-オキサジアゾール誘導体（TAZ）、1, 2, 4-トリアゾール誘導体（TA

Z) 等

4) 陰極である電子注入層は、4 eV以下の仕事関数を有する材料で作られるのが好ましい。

例えば、10:1 (原子比) のマグネシウム:銀合金の10~30 nm厚

アルミニウム:リチウム (濃度は0.5~1%) 合金の10~30 nm厚

ここで、銀は有機界面との接着性を増すためにマグネシウム中に1~10原子%添加され、リチウムは安定化のためにアルミニウム中に濃度は0.5~1%添加される。

【0420】青色画素部を形成するには、青色画素部をフォトレジストでマスクし、CCl₄ガス等のプラズマエッチングで陰極である電子注入層のアルミニウム:リチウム合金を除去し、連続して電子輸送層、発光層、ホール輸送層の低分子系化合物及びフォトレジストを酸素プラズマエッチングで除去し、青色画素部を形成する。この時に、フォトレジストの下にはアルミニウム:リチウム合金があるので、フォトレジストがエッチングされても問題ない。又、この時に、電子輸送層、発光層、ホール輸送層の低分子系化合物層は、ホール注入層のITO透明電極よりも大きい面積とし、後工程で全面に形成する陰極の電子注入層 (マグネシウム:銀合金) と電気的ショートしないようにする。

【0421】また、赤色発光有機EL層を低分子化合物で形成する場合は、ガラス基板上の陽極 (ホール注入層) である電流駆動用TFTのソース部とコンタクトしたITO透明電極上に、連続して真空加熱蒸着により形成する。

1) ホール輸送層は、アミン系化合物 (例えば、トリアルキルアミン誘導体、アリールアミンオリゴマー、芳香族第三アミン等) 等

2) 発光層は、赤色発光材料であるEu (Eu(DBM)₃ (Phen)) 等

3) 電子輸送層は、1, 3, 4-オキサジアゾール誘導体 (OXD)、1, 2, 4-トリアゾール誘導体 (TAZ) 等

4) 陰極である電子注入層は、4 eV以下の仕事関数を有する材料で作られるのが好ましい。

例えば、10:1 (原子比) のマグネシウム:銀合金の10~30 nm厚

アルミニウム:リチウム (濃度は0.5~1%) 合金の10~30 nm厚

銀は有機界面との接着性を増すためにマグネシウム中に1~10原子%添加され、リチウムは安定化のためにアルミニウム中に濃度は0.5~1%添加される。

【0422】赤色画素部を形成するには、赤色画素部をフォトレジストでマスクし、CCl₄ガス等のプラズマエッチングで陰極である電子注入層のアルミニウム:リチウム合金を除去し、連続して電子輸送層、発光層、ホ

ール輸送層の低分子系化合物及びフォトレジストを酸素プラズマエッチングで除去し、赤色画素部を形成する。この時に、フォトレジストの下にはアルミニウム:リチウム合金があるので、フォトレジストがエッチングされても問題ない。又、この時に、電子輸送層、発光層、ホール輸送層の低分子系化合物層は、ホール注入層のITO透明電極よりも大きい面積とし、後工程で全面に形成する陰極の電子注入層 (マグネシウム:銀合金) と電気的ショートしないようにする。

【0423】この後に、全面に共通の陰極である電子注入層を真空加熱蒸着により形成するが、陰極である電子注入層は、4 eV以下の仕事関数を有する材料で作られるのが好ましい。例えば、10:1 (原子比) のマグネシウム:銀合金の10~30 nm厚、又はアルミニウム:リチウム (濃度は0.5~1%) 合金の10~30 nm厚とする。ここで、銀は有機界面との接着性を増すためにマグネシウム中に1~10原子%添加され、リチウムは安定化のためにアルミニウム中に濃度は0.5~1%添加される。なお、スパッタリングで成膜してもよい。

【0424】第4の実施の形態

本実施の形態は、本発明を電界放出型 (フィールドエミッション) ディスプレイ装置 (FED: Field Emission Display) に適用したものである。以下にその構造例と製造例を示す。尚、ここではトップゲート型MOSTFTの例であるが、上記のようにボトムゲート型又はデュアルゲート型MOSTFTを適用してもよいことは言うまでもない。

【0425】<FEDの構造例I>図50 (A)、

(B)、(C) に示すように、この構造例Iによれば、ガラス等の基板111上に、本発明に基づいて上述した方法で形成された高結晶化率、大粒径の錫含有又は非含有の多結晶性シリコン薄膜によって、スイッチング用MOSTFT1と電流駆動用MOSTFT2のゲートチャンネル領域117、ソース領域120及びドレイン領域121が形成されている。そして、ゲート絶縁膜118上にゲート電極115、ソース及びドレイン領域上にソース電極127及びドレイン電極128が形成されている。MOSTFT1のドレインとMOSTFT2のゲートとはドレイン電極128を介して接続されていると共に、MOSTFT2のソース電極127との間に絶縁膜136を介してキャパシタCが形成され、かつ、MOSTFT2のドレイン領域121はそのままFED素子のFEC (電界放出カソード) にまで延設され、エミッタ領域152として機能している。尚、スイッチング用MOSTFTにはLDD部を形成してスイッチング特性向上を図ってもよい。

【0426】各MOSTFTは絶縁膜130で覆われ、この絶縁膜上には、FECのゲート引き出し電極150と同一材料にて同一工程で接地用の金属遮蔽膜151が

形成され、各MOSTFT上を覆っている。FECにおいては、多結晶性シリコン薄膜からなるエミッタ領域152上に電界放出エミッタとなるn型多結晶性シリコン膜153が形成され、更に $m \times n$ 個の各エミッタに区画するための開口を有するように、絶縁膜118、137、136及び130がパターンニングされ、この上面にはゲート引き出し電極150が被着されている。

【0427】また、このFECに対向して、バックメタル155付きの蛍光体156をアノードとして形成したガラス基板等の基板157が設けられており、FECとの間は高真空中に保持されている。

【0428】この構造のFECにおいては、ゲート引き出し電極150の開口下には、本発明に基づいて形成された多結晶性シリコン薄膜152上に成長されたn型多結晶性シリコン膜153が露出し、これがそれぞれ電子154を放出する薄膜の面放型エミッタとして機能する。即ち、エミッタの下地となる多結晶性シリコン薄膜152は、大粒径（グレインサイズ数100nm以上）のグレインからなっているため、これをシードとしてその上にn型多結晶性シリコン膜153を触媒CVD等によって成長させると、この多結晶性シリコン膜153はさらに大きな粒径で成長し、表面が電子放出にとって有利な微細な凹凸158を生じるように形成されるのである。尚、上記以外に、多結晶性ダイヤモンド膜、又は窒素含有又は非含有の炭素薄膜、又は窒素含有又は非含有の炭素薄膜表面に形成した多数の微細突起構造（例えば、カーボンナノチューブ）などによる電子放出体（エミッタ）としてもよい。

【0429】従って、エミッタが薄膜からなる面放型であるために、その形成が容易であると共に、エミッタ性能も安定し、長寿命化が可能となる。

【0430】また、すべての能動素子（これには周辺駆動回路及び画素表示部のMOSTFTとダイオードが含まれる。）の上部にアース電位の金属遮蔽膜151（この金属遮蔽膜は、引き出しゲート電極150と同じ材料（Nb、Ti/Mo等）、同じ工程で形成すると工程上都合がよい。）が形成されているので、次の（1）、

（2）の利点を得ることができ、高品質、高信頼性のフィールドエミッションディスプレイ（FED）装置を実現することが可能となる。

【0431】（1）気密容器内にあるガスがエミッタ（電界放出カソード）153から放出された電子により正イオン化されて絶縁層上にチャージアップし、この正電荷が絶縁層下にあるMOSTFTに不要な反転層を形成し、この反転層からなる不要な電流経路を介して余分な電流が流れるために、エミッタ電流の暴走が起きる。しかし、MOSTFT上の絶縁層に金属遮蔽膜151を形成してアース電位に落としているので、チャージアップ防止が可能となり、エミッタ電流の暴走を防止できる。

【0432】（2）エミッタ（電界放出カソード）153から放出された電子の衝突により蛍光体156が発光するが、この光によりMOSTFTのゲートチャンネル内に電子、正孔が発生し、リーク電流となる。しかし、MOSTFT上の絶縁層に金属遮蔽膜151が形成されているので、TFTへの光入射が防止され、TFTの動作不良は生じない。

【0433】次に、このFEDの製造プロセスを説明すると、まず、図51の（1）に示すように、上述した工程を経て全面に多結晶性シリコン薄膜117を形成した後、汎用フォトリソグラフィ及びエッチング技術によりMOSTFT1とMOSTFT2及びエミッタ領域にアイランド化し、プラズマCVD、触媒CVD法等により全面に保護用酸化シリコン膜159を形成する。尚、保護用酸化シリコン膜形成後にアイランド化してもよい。

【0434】次いで、MOSTFT1、2のゲートチャンネル不純物濃度の制御による V_{th} の最適化のために、イオン注入又はイオンドーピング法により全面にボロニオン83を $5 \times 10^{11} \text{ atoms/cm}^2$ のドーズ量でドーピングし、 $1 \times 10^{17} \text{ atoms/cc}$ のアクセプタ濃度に設定する。

【0435】次いで、図51の（2）に示すように、フォトレジスト82をマスクにして、イオン注入又はイオンドーピング法によりMOSTFT1、2のソース/ドレイン部及びエミッタ領域にリンイオン79を $1 \times 10^{15} \text{ atoms/cm}^2$ のドーズ量でドーピングし、 $2 \times 10^{20} \text{ atoms/cc}$ のドナー濃度に設定し、ソース領域120、ドレイン領域121、エミッタ領域152をそれぞれ形成した後、汎用フォトリソグラフィ及びエッチング技術によりエミッタ領域の保護用酸化シリコン膜を除去する。尚、この時に、MOSTFT1に $(1 \sim 5) \times 10^{18} \text{ atoms/cc}$ のドナー濃度のLDD領域を形成してスイッチング特性を向上させてもよい。

【0436】次いで、図51の（3）に示すように、エミッタ領域を形成する多結晶性シリコン薄膜152をシードに、モノシランと PH_3 等のドーパントを適量比率（例えば 10^{20} atoms/cc ）混合した触媒CVD又はバイアス触媒CVD等により、表面に微細凹凸158を有するn型多結晶性シリコン膜153を $1 \sim 5 \mu\text{m}$ 厚にエミッタ領域に形成し、同時に他の酸化シリコン膜159及びガラス基板111上にはn型アモルファスシリコン膜160を $1 \sim 5 \mu\text{m}$ 厚に形成する。

【0437】次いで、図51の（4）に示すように、上述した触媒AHA処理時の活性化水素イオン等により、アモルファスシリコン膜160を選択的にエッチング除去し、酸化シリコン膜159のエッチング除去後に触媒CVD等によりゲート絶縁膜（酸化シリコン膜）118を形成する。

【0438】次いで、図52の（5）に示すように、スパッタリング法によるMo-Ta合金等の耐熱性金属に

よりMOSTFT1、2のゲート電極115、MOSTFT1のゲート電極に接続されるゲートラインを形成し、オーバーコート膜（酸化シリコン膜等）137を形成した後、ハロゲンランプ等によるRTA（Rapid Thermal Anneal）処理でドーピングされたn型及びp型不純物を活性化させ、MOSTFT2のソース部窓開け後にスパッタリング法によるMo-Ta合金等の耐熱性金属でMOSTFT2のソース電極127及びアースラインを形成する。更に、プラズマCVD、触媒CVD等によりオーバーコート膜（酸化シリコン/窒化シリコン積層膜等）136を形成する。

【0439】次いで、図52の（6）に示すように、MOSTFT1のソース/ドレイン部及びMOSTFT2のゲート部の窓開けを行い、MOSTFT1のドレインとMOSTFT2のゲートを1%Si入りAl配線128で接続し、同時にMOSTFT1のソース電極とそのソースに接続されるソースライン127を形成する。この後に、フォーミングガス中で400℃、30分の水素化及びシンター処理する。

【0440】次いで、図52の（7）に示すように、オーバーコート膜（酸化シリコン/フォスフィンシリケートガラス/窒化シリコン積層膜等）130を形成した後、GNDラインの窓開けし、図52の（8）に示すように、引き出しゲート電極150や金属遮蔽膜151をNb蒸着後のエッチングで形成し、更に電界放出カソード部を窓開けしてエミッタ153を露出させ、上述したプラズマ又は触媒AHA処理の活性化水素イオン等でクリーニングする。

【0441】従来のフィールドエミッションディスプレイ（FED）装置は、単純マトリックスとアクティブマトリックス駆動に大別され、電界放出電子源（Field Emitter）には、スピント型モリブデンエミッタ、コーン型シリコンエミッタ、MIMトンネルエミッタ、ポーラスシリコンエミッタ、ダイヤモンドエミッタ、表面伝導エミッタなどがあり、いずれも平面基板上にエミッタを集積することができる。単純マトリックス駆動は、XYマトリックスに配列したフィールドエミッタアレイを1画素として使用し、画素ごとに放出量を制御して画像表示を行う。又、アクティブマトリックス駆動は、MOSTFTのドレイン部に形成されたエミッタの放出電流を制御ゲートによってコントロールする。これは、作製プロセスが通常のシリコンLSIとコンパチブルなので、フィールドエミッションディスプレイ周辺に複雑な処理回路を作りつけることが容易である。しかし、シリコン単結晶基板を用いるために、基板コストが高く、ウェーハサイズ以上の大面積化が困難である。そして、カソード電極表面に減圧CVD等により導電性の多結晶シリコン膜と、その表面にプラズマCVD等により結晶性ダイヤモンド膜からなるエミッタの製造が提案されているが、減圧CVD時の成膜温度が630℃と高く、低歪点

ガラス基板を採用できないので、コストダウンが難しい。そして、その減圧CVDによる多結晶シリコン膜は粒径が小さく、その上の結晶性ダイヤモンド膜も粒径が小さく、エミッタの特性が良くない。更に、プラズマCVDでは、反応エネルギーが不足しているので、良い結晶性ダイヤモンド膜は得にくい。又、透明電極又はAl、Ti、Cr等の金属のカソード電極と導電性の多結晶シリコン膜との接合性が悪いので、良好な電子放出特性は得られない。

【0442】これに対し、本発明に基づいて形成された大粒径多結晶性シリコン薄膜は、低歪点ガラス等の基板上に形成可能であって、電流駆動用TFTのドレインとつながったエミッタ領域の大粒径多結晶性シリコン薄膜であり、これをシードに触媒CVDなどにより、n型（又はn⁺型）の大粒径多結晶性シリコン膜（又は後述の多結晶性ダイヤモンド膜）のエミッタを形成し、その後連続して触媒AHA処理などによりアモルファス構造のシリコン膜又はアモルファス構造のダイヤモンド膜（DLC：Diamond Like Carbonとも言う。）を選択的に還元エッチングして表面に無数の凹凸形状を有する高結晶化率/大粒径n型（又はn⁺型）多結晶シリコン膜又は多結晶性ダイヤモンド膜のエミッタを形成するので、電子放出効率の高いエミッタを形成でき、またドレインとエミッタの接合性が良好であり、高効率のエミッタ特性が可能となる。こうして、上記した従来の問題点を解消することができる（以下、同様）。

【0443】また、1つの画素表示部のエミッタ領域を複数に分割し、それぞれにスイッチング素子のMOSTFTを接続すれば、たとえ1つのMOSTFTが故障しても、他のMOSTFTが動作するので、1つの画素表示部は必ず電子放出する構成となり、高品質で歩留が高く、コストダウンできる（以下、同様）。又、これらのMOSTFTにおいて電氣的オープン不良のMOSTFTは問題ないが、電氣的ショートしたMOSTFTはレーザーリペアで分離するのが一般的な歩留向上対策であるが、本発明に基づく上記構成はそれに対応できるので、高品質で歩留が高く、コストダウンできる（以下、同様）。

【0444】＜FEDの構造例II＞図53（A）、（B）、（C）に示すように、この構造例IIによれば、ガラス等の基板111上に、上記の構造例Iと同様に、本発明に基づいて上述した方法で形成された高結晶化率、大粒径の錫含有又は非含有の多結晶性シリコン薄膜によって、スイッチング用MOSTFT1と電流駆動用MOSTFT2のゲートチャンネル領域117、ソース領域120及びドレイン領域121が形成されている。そして、ゲート絶縁膜118上にゲート電極115、ソース及びドレイン領域上にソース電極127及びドレイン電極128が形成されている。MOSTFT1のドレインとMOSTFT2のゲートとはドレイン電極128

を介して接続されていると共に、MOSTFT2のソース電極127との間に絶縁膜136を介してキャパシタCが形成され、かつ、MOSTFT2のドレイン領域121はそのままFED素子のFEC（電界放出カソード）にまで延設され、エミッタ領域152として機能している。尚、スイッチング用MOSTFT1にLDD部を形成することによりスイッチング特性向上を図ってもよい。

【0445】各MOSTFTは絶縁膜130で覆われ、この絶縁膜上には、FECの引き出しゲート電極150と同一材料にて同一工程で接地用の金属遮蔽膜151が形成され、各MOSTFT上を覆っている。FECにおいては、多結晶性シリコン薄膜からなるエミッタ領域152上に電界放出エミッタとなるn型多結晶性ダイヤモンド膜163が形成され、更に $m \times n$ 個の各エミッタに区画するための開口を有するように、絶縁膜118、137、136及び130がパターンニングされ、この上面にはゲート引き出し電極150が被着されている。

【0446】また、このFECに対向して、バックメタル155付きの蛍光体156をアノードとして形成したガラス基板等の基板157が設けられており、FECとの間は高真空中に保持されている。

【0447】この構造のFECは、ゲート引き出し電極150の開口下には、本発明に基づいて形成された多結晶性シリコン薄膜152上に成長されたn型多結晶性ダイヤモンド膜163が露出し、これがそれぞれ電子154を放出する薄膜の面放出型のエミッタとして機能する。即ち、エミッタの下地となる多結晶性シリコン薄膜152は、大粒径（グレインサイズ数100nm以上）のグレインからなっているため、これをシードとしてその上にn型多結晶性ダイヤモンド膜163を触媒CVD等によって成長させると、この多結晶性ダイヤモンド膜163はやはり大粒径で成長し、表面が電子放出にとって有利な微細な凹凸168を生じるように形成されるのである。尚、窒素含有又は非含有の炭素薄膜又は窒素含有又は非含有の炭素薄膜表面に形成した多数の微細突起構造（例えば、カーボンナノチューブ）などの電子放出体としてもよい。

【0448】従って、エミッタが薄膜からなる面放出型であるために、その形成が容易であると共に、エミッタ性能も安定し、長寿命化が可能となる。

【0449】また、すべての能動素子（これには周辺駆動回路及び画素表示部のMOSTFTとダイオードが含まれる。）の上部にアース電位の金属遮蔽膜151（この金属遮蔽膜は、引き出しゲート電極150と同じ材料（Nb、Ti/Mo等）、同じ工程で形成すると工程上都合がよい。）が形成されているので、上述したと同様に、MOSTFT上の絶縁層に金属遮蔽膜151を形成してアース電位に落とし、チャージアップ防止が可能となり、エミッタ電流の暴走を防止でき、また、MOST

FT上の絶縁層に金属遮蔽膜151が形成されているので、MOSTFTへの光入射が防止され、MOSTFTの動作不良は生じない。このために高品質、高信頼性のフィールドエミッションディスプレイ（FED）装置を実現することが可能となる。

【0450】次に、このFEDの製造プロセスを説明すると、まず、図54の（1）に示すように、上述した工程を経て全面に多結晶性シリコン薄膜117を形成した後、汎用フォトリソグラフィ及びエッチング技術によりMOSTFT1とMOSTFT2及びエミッタ領域にアイランド化し、プラズマCVD、触媒CVD法等により全面に保護用酸化シリコン膜159を形成する。尚、保護用酸化シリコン膜を形成した後にアイランド化してもよい。

【0451】次いで、MOSTFT1、2のゲートチャンネル不純物濃度の制御による V_{th} の最適化のために、イオン注入又はイオンドーピング法により全面にボロニオン83を $5 \times 10^{11} \text{ atoms/cm}^2$ のドーパ量でドーピングし、 $1 \times 10^{17} \text{ atoms/cc}$ のアクセプタ濃度に設定する。

【0452】次いで、図54の（2）に示すように、フォトレジスト82をマスクにして、イオン注入又はイオンドーピング法によりMOSTFT1、2のソース/ドレイン部及びエミッタ領域に燐イオン79を $1 \times 10^{15} \text{ atoms/cm}^2$ のドーパ量でドーピングし、 $2 \times 10^{20} \text{ atoms/cc}$ のドナー濃度に設定し、ソース領域120、ドレイン領域121、エミッタ領域152をそれぞれ形成した後、汎用フォトリソグラフィ及びエッチング技術によりエミッタ領域の保護用酸化シリコン膜を除去する。

【0453】次いで、図54の（3）に示すように、エミッタ領域を形成する多結晶性シリコン薄膜152をシードに、例えばメタン（ CH_4 ）及び適当なn型ドーパントを適量比率混合し、触媒CVD又はバイアス触媒CVD等により、表面に微細凹凸168を有するn⁺型多結晶性ダイヤモンド膜163をエミッタ領域に形成し、同時に他の酸化シリコン膜159及びガラス基板111上にはn⁺型アモルファスダイヤモンド膜170を形成する。例えば、触媒CVD等により大粒径多結晶性シリコン薄膜152をシードにn⁺型結晶性ダイヤモンド膜のエミッタ領域163を形成するが、この際、メタン（ CH_4 ）にn型不純物ガス（燐はホスフィン PH_3 、ひ素はアルシン AsH_3 、アンチモンはスチビン SbH_3 など）、例えばホスフィン PH_3 を適量添加して $5 \times 10^{20} \sim 1 \times 10^{21} \text{ atoms/cc}$ 程度のn⁺型多結晶性ダイヤモンド膜（1000～5000nm厚）163を形成する。このときに、他の保護用酸化シリコン膜上にはn⁺型アモルファスダイヤモンド膜170が形成されるが、このアモルファスダイヤモンド膜はDLC膜（Diamond Like Carbon）ともいわれる。

【0454】次いで、図54の(4)に示すように、上述した触媒AHA処理時の活性化水素イオン等により、アモルファスダイヤモンド膜170を選択的にエッチング除去し、酸化シリコン膜159のエッチング除去後に触媒CVD等によりゲート絶縁膜(酸化シリコン膜等)118を形成する。この場合、触媒AHA処理により、高温の水素分子/水素原子/活性化水素イオン等によりアモルファスダイヤモンド膜を選択的に還元エッチングし、同時にエミッタ領域に形成されたn⁺型多結晶性ダイヤモンド膜163のアモルファス成分を選択的に還元エッチングして、高結晶化率のn⁺型多結晶性ダイヤモンド膜163を形成する。この選択的な還元エッチング作用により、表面に無数の凹凸形状が形成されたn⁺型多結晶性ダイヤモンド膜のエミッタ領域163が形成される。これにより、他の保護用酸化シリコン膜上のn⁺型アモルファスダイヤモンド膜も選択的に還元エッチングされ、除去される。なお、上記の触媒CVD及びAHA処理は連続作業で行う方が、コンタミ防止と生産性の面で望ましい。

【0455】次いで、図55の(5)に示すように、スパッタリング法によるMo-Ta合金等の耐熱性金属によりMOSTFT1、2のゲート電極115、MOSTFT1のゲート電極に接続されるゲートラインを形成し、オーバーコート膜(酸化シリコン膜等)137を形成した後、ハロゲンランプによるRTA(Rapid Thermal Anneal)処理でドーピングされたn型及びp型不純物を活性化した後、MOSTFT2のソース部窓開け後にスパッタリング法によるMo-Ta合金等の耐熱性金属でMOSTFT2のソース電極127及びアースラインを形成する。更に、プラズマCVD、触媒CVD等によりオーバーコート膜(酸化シリコン/窒化シリコン積層膜等)136を形成する。

【0456】次いで、図55の(6)に示すように、MOSTFT1のソース/ドレイン部及びMOSTFT2のゲート部の窓開けを行い、MOSTFT1のドレインとMOSTFT2のゲートを1%Si入りAl配線128で接続し、同時にMOSTFT1のソース電極とそのソースに接続されるソースライン127を形成する。

【0457】次いで、図55の(7)に示すように、オーバーコート膜(酸化シリコン/フォスフィンシリケートガラス/窒化シリコン積層膜等)130を形成した後、GNDラインの窓開けした後に、フォーミングガス中で400℃、30分の水素化及びシンター処理する。そして図55の(8)に示すように、引き出しゲート電極150や金属遮蔽膜151をNb蒸着後のエッチングで形成し、更に電界放出カソード部を窓開けしてエミッタ163を露出させ、上述の触媒AHA処理の活性化水素イオン等でクリーニングする。即ち、汎用フォトリソグラフィ及びエッチング技術により、チタン/モリブデン(Ti/Mo)膜又はニオブ(Nb)膜を酸系エッチ

ング液でのウェットエッチングし、酸化シリコン膜及びPSG膜はフッ酸系エッチング液でのウェットエッチング、窒化シリコン膜はCF₄等のプラズマエッチングで除去する。また、電界放出カソード(エミッタ)部の多結晶性ダイヤモンド膜163を触媒AHA処理してクリーニングし、膜表面の微細な凹凸部に付着した有機汚れ、水分、酸素/窒素/炭酸ガス等を触媒AHA処理の高温の水素分子/水素原子/活性化水素イオン等で除去し、電子放出効率を高める。

【0458】なお、上記において、多結晶性ダイヤモンド膜163を成膜する際、使用する原料ガスとしての炭素含有化合物は、例えば

- 1) メタン、エタン、プロパン、ブタン等のパラフィン系炭化水素
- 2) アセチレン、アリレン系のアセチレン系炭化水素
- 3) エチレン、プロピレン、ブチレン等のオレフィン系炭化水素
- 4) ブタジエン等のジオレフィン系炭化水素
- 5) シクロプロパン、シクロブタン、シクロペンタン、シクロヘキサン等の脂環式炭化水素
- 6) シクロブタジエン、ベンゼン、トルエン、キシレン、ナフタリン等の芳香族炭化水素
- 7) アセトン、ジエチルケトン、ベンゾフェノン等のケトン類
- 8) メタノール、エタノール等のアルコール類
- 9) トリメチルアミン、トリエチルアミン等のアミン類
- 10) グラファイト、石炭、コークス等の炭素原子のみからなる物質

であってよく、これらは、1種を単独で用いることもできるし、2種以上を併用することもできる。

【0459】また、使用可能な不活性ガスは、例えばアルゴン、ヘリウム、ネオン、クリプトン、キセノン、ラドンである。ドーパントとしては、例えばホウ素、リチウム、窒素、リン、硫黄、塩素、ヒ素、セレン、ベリリウム等を含む化合物又は単体が使用可能であり、そのドーピング量は 10^{17} atoms/cc以上であってよい。

【0460】第5の実施の形態

本実施の形態は、本発明を光電変換装置としての太陽電池に適用したものである。以下にその製造例を示す。

【0461】まず、図56の(1)に示すように、ステンレス等の金属基板111上に、プラズマCVD、触媒CVD等により、n型の低級結晶性シリコン膜7A(100~200nm厚)を形成する。この場合、モノシランにPH₃等のn型ドーパントを適量混入して $1 \times 10^{19} \sim 1 \times 10^{20}$ atoms/cc含有させる。尚、必要に応じて、高融点金属(Ti、Ta、Mo、W、それらの合金、例えばMo-Ta合金)又は金属シリサイド(WSi₂、MoSi₂、TiSi₂、TaSi₂など)の薄膜(100~300nm厚)をスパッタリング、CV

D等により金属基板又はガラス基板上に形成してもよい。

【0462】連続して、プラズマCVD、触媒CVD等により、i型の低級結晶性シリコン膜180Å（2～5μm厚）を積層形成する。連続して、プラズマCVD、触媒CVD等により、p型の低級結晶性シリコン膜181Å（100～200nm厚）を形成する。この場合、モノシランにB₂H₆等のp型ドーパントを適量混入して $1 \times 10^{19} \sim 1 \times 10^{20}$ atoms/cc含有させる。

【0463】次いで、図56の（2）に示すように、プラズマCVD、触媒CVD等により、カバー用絶縁膜235（酸化シリコン膜、窒化シリコン膜、酸化窒化シリコン膜、酸化シリコン/窒化シリコン積層膜等）を50～100nm厚に形成する。

【0464】そして、この状態で、フラッシュランプのフラッシュ照射221によるアニールにより、低級結晶性シリコン膜7A、180Å、181Åの全体を多結晶性シリコン膜7、180、181に改質させると同時に、各膜中の不純物を活性化させる。この時に低級結晶性シリコン膜厚に応じて、長いフラッシュ照射時間（1/3パルス幅＝1.5ミリ秒以上）、必要な回数の繰り返しフラッシュ照射を行う。但し、赤外線カットフィルタなし、基板温度を高く設定などのフラッシュ照射条件の最適化が必要である。

【0465】次いで、図56の（3）に示すように、カバー用絶縁膜235を除去してフォーミングガス中、400℃、1hの水素化処理する。そして、全面に透明電極（ITO（Indium Tin Oxide）、IZO（Indium Zinc Oxide）等）182を100～150nm厚に形成し、この上にメタルマスクを用いて、所定領域に銀等のくし型電極183を100～150nm厚に形成する。

【0466】なお、上記の低級結晶性シリコン膜7A、180Å、181Åに、Sn又は他のIV族元素（Ge、Pb）を適量、例えば $1 \times 10^{18} \sim 1 \times 10^{20}$ atoms/cc含有させることにより、多結晶粒界に存在する不整を低減し、膜ストレスを低減させてもよい。

【0467】本実施の形態による太陽電池は、本発明に基づく大粒径の多結晶性シリコン膜によって、高移動度で変換効率の大きい光電変換薄膜を形成でき、良好な表面テクスチャ構造と裏面テクスチャ構造が形成されるので、光封じ込め効果が高く、変換効率の大きい光電変換薄膜を形成できる。これはまた、太陽電池に限らず、電子写真用の感光体ドラム等の薄膜光電変換装置にも有利に利用することができる。

【0468】その他の実施の形態

図57は、基体上に、錫等のIV族元素の少なくとも1種を含有するか或いは含有しない低級結晶性半導体薄膜を形成する第1工程と、前記基体をその歪点以下の温度に加熱する予備加熱処理（Pre-baking）を行う第2工程と、前記基体をその歪点以下の温度に加熱する補助加熱

状態（Asist-baking）でのフラッシュランプアニールにより、熔融又は半熔融又は非熔融状態の加熱と冷却で前記低級結晶性半導体薄膜の結晶化を促進する第3工程と、前記結晶化した半導体薄膜を少なくとも前記基体の歪点以下の温度に冷却するまで後加熱保持（Post-baking）する第4工程とを有する、半導体薄膜の形成方法又は半導体装置の製造方法において、これらの第1～第4工程のシーケンスを示すものである。これらの工程は、繰り返すのがよい。

【0469】ここで、前記予備加熱処理は、抵抗加熱ヒーター、ハロゲンランプ等の加熱手段により常温以上で基体の歪点以下の温度、例えば300～500℃の温度とし、処理時間は低級結晶性半導体薄膜成膜条件（気相成長、スパッタリング、蒸着等）による膜厚及び膜質、基体の材質とサイズ等によって最適化、例えば5～20分間とするのが望ましい。

【0470】また、前記補助加熱状態は、常温以上で基体の歪点以下の温度、例えば300℃～500℃とし、フラッシュランプアニール条件、低級結晶性半導体薄膜成膜条件（気相成長、スパッタリング、蒸着等）による膜厚及び膜質、基体の材質とサイズ等によって最適化するの望ましい。

【0471】また、前記後加熱保持は、フラッシュランプアニール後に、基体及び結晶化した半導体薄膜を少なくとも予備加熱温度又は補助加熱温度までに冷却する時間、例えば1～10分間保持しておくのが望ましい。

【0472】図58は、基体1上に、光反射低減及び保護用絶縁膜300と、低級結晶性半導体薄膜7Aとを透過したフラッシュ照射光に対し、高吸収性又は高反射性を示し、基体よりも高い熱伝導性及び電気伝導性で遮光性の下地膜301を低級結晶性半導体薄膜7Aとほぼ同等以上の面積で形成し、その上に必要に応じて電気絶縁性で光透過性又は遮光性のバッファ膜302を形成した場合、その上の少なくとも下地膜領域に、錫等のIV族元素の少なくとも1種を含有するか或いは含有しない低級結晶性半導体薄膜7Aを形成し、更に必要に応じてその上に光反射低減及び保護用絶縁膜300を形成し、基体1の適当な予備加熱処理（Pre-baking）、補助加熱状態（Asist-baking）及び後加熱保持（Post-baking）でのフラッシュランプアニールでの熔融又は半熔融又は非熔融状態の加熱と冷却により、低級結晶性半導体薄膜7Aの結晶化を促進する、半導体薄膜又は半導体装置の製造方法を示すものである。

【0473】ここで、ボトムゲートTFT、バックゲートTFT、デュアルゲートTFTなどの場合、光反射低減及び保護用絶縁膜と低級結晶性半導体薄膜とを透過したフラッシュ照射光を吸収して加熱される高熱伝導性及び電気伝導性の、例えば着色系金属（クロム、銅など）、高融点金属（チタン、タンタル、モリブデン、タングステン、それらの合金、例えばモリブデン-タンタ

ル合金など)、金属シリサイド (WSi_2 、 $MoSi_2$ 、 $TiSi_2$ 、 $TaSi_2$ 、 $CoSi$ 、 Pd_2Si 、 Pt_2Si 、 $CrSi_2$ 、 $NiSi$ 、 $RhSi$ など) が、下地膜 301 として用いられる。この場合は、基体 1 の温度上昇が比較的高いので、石英ガラス、結晶化ガラス等の高歪点 (耐熱性) ガラスやセラミックスが基体 1 の材料として適している。

【0474】又、光反射低減及び保護用絶縁膜と低級結晶性半導体薄膜を透過したフラッシュ照射光を反射する高熱伝導性及び電気伝導性の、例えば白色系金属 (アルミニウム、アルミニウム合金 (1% シリコン含有アルミニウムなど)、銀、ニッケル、プラチナなど)、白色系金属/高融点金属積層膜 (アルミニウム/モリブデンなど) などが、下地膜 301 として用いられる。この場合は、基体 1 の温度上昇が比較的低いので、ほうけい酸ガラス、アルミノけい酸ガラス、強化ガラス等の低歪点ガラスやポリイミド等の耐熱性樹脂その他が基体 1 の材料として適しているが、石英ガラス、結晶化ガラス等の高歪点 (耐熱性) ガラスやセラミックス等も用いることができる。

【0475】また、フラッシュランプアニールで下地膜 301 と熔融した低級結晶性半導体薄膜 7A が反応するのを防止するためにバッファ膜 302 を設けるが、熔融した低級結晶性半導体薄膜 7A と反応しないような材質で下地膜 301 を形成した場合は、バッファ膜を省いてもよい。例えば、陽極酸化による絶縁膜で被覆したアルミニウム、高融点金属 ($Mo-Ta$ 合金など) 等の下地膜では、新たなバッファ膜 302 の形成は不要である。

【0476】バッファ膜 302 としては、電気絶縁性の酸化シリコン膜、酸窒化シリコン膜、窒化シリコン膜、酸化シリコン/窒化シリコン積層膜、窒化シリコン/酸化シリコン積層膜、酸化シリコン/窒化シリコン/酸化シリコン積層膜などが用いられる。

【0477】基体 1 に、ほうけい酸ガラス、アルミノけい酸ガラス等の低歪点ガラス、熔融石英ガラス、結晶化ガラス、更に耐熱性樹脂などを用いる場合は、基体からの不純物 (Na イオンなど) 拡散防止のために、窒化シリコン膜系、例えば酸窒化シリコン膜、窒化シリコン膜、酸化シリコン/窒化シリコン積層膜、窒化シリコン/酸化シリコン積層膜、酸化シリコン/窒化シリコン/酸化シリコン積層膜等を用いるのが望ましい。

【0478】この例では、下地膜領域上のみに低級結晶性半導体薄膜 7A を形成することにより、熔融シリコンの流出を防止して下地膜領域上のみに多結晶性又は単結晶性シリコン薄膜を形成することができる。

【0479】図 59 には、錫等の IV 族元素の少なくとも 1 種を含有するか或いは含有しない低級結晶性半導体薄膜 7A と同等以上の面積で、一部が線状等に突出した形状 301A に下地膜 301 をパターンニングした例を示す。この例では、フラッシュランプアニールでの熔融又

は半熔融又は非熔融状態の前記低級結晶性半導体薄膜 7A を下地膜 301 の突出形状部 301A から熱放散させて結晶成長核を形成し、全体を任意な結晶方位で結晶化させることができる。

【0480】この場合は、突出した部分 301A が他の部分より熱放散が大きく、再結晶化のきっかけ (種、核) を作るので、全体を任意の結晶方位の大粒径多結晶性又は単結晶性半導体薄膜 7 を形成することができる。

【0481】また、フラッシュランプアニール時の光反射低減及び保護用絶縁膜 300 は、少なくとも紫外線を透過する電気絶縁性膜であり、或いはゲート絶縁膜に用いられてよい。

【0482】少なくとも紫外線を透過する電気絶縁性膜としては、例えば、酸化シリコン膜、窒化シリコン膜、酸窒化シリコン膜、酸化シリコン/窒化シリコン積層膜、窒化シリコン/酸化シリコン積層膜、酸化シリコン/窒化シリコン/酸化シリコン積層膜などがあり、またゲート絶縁膜としては、例えば、酸化シリコン膜、窒化シリコン膜、酸窒化シリコン膜、酸化シリコン/窒化シリコン積層膜、窒化シリコン/酸化シリコン積層膜、酸化シリコン/窒化シリコン/酸化シリコン積層膜などがある。

【0483】図 59 の例ではまた、光反射低減及び保護用絶縁膜 300 をゲート絶縁膜として用いることができる。例えば、酸化性雰囲気中 (空気、酸素、オゾン、水蒸気、 NO 、 N_2O 等) でのフラッシュランプアニールの熔融又は半熔融加熱と冷却により、錫等の IV 族元素の少なくとも 1 種を含有するか或いは含有しない低級結晶性半導体薄膜 7A を結晶 7 に変化させるときに、この多結晶性又は単結晶性半導体薄膜表面に同時に酸化系絶縁膜 (酸化シリコン膜、酸窒化シリコン膜など) 300 を形成し、この酸化系絶縁膜をゲート絶縁膜又は保護膜として使用することができる。

【0484】或いは、フラッシュランプアニールにより形成された、低歪点ガラス基板又は高歪点ガラス基板又は耐熱性樹脂基板 1 上の、錫等の IV 族元素の少なくとも 1 種を含有するか或いは含有しない多結晶性又は単結晶性半導体薄膜に、0.1 MPa 以上で 30 MPa 以下、常温以上で基板の歪点以下の温度の高圧低温の酸化性雰囲気中 (空気、酸素、オゾン、水蒸気、 NO 、 N_2O 等) で酸化系絶縁膜 (酸化シリコン膜、酸窒化シリコン膜など) 300 を形成し、この酸化系絶縁膜をゲート絶縁膜又は保護膜として使用することもできる。

【0485】或いは、フラッシュランプアニールにより形成された、高歪点ガラス基板 1 上の、錫等の IV 族元素の少なくとも 1 種を含有するか或いは含有しない多結晶性又は単結晶性半導体薄膜を酸化性雰囲気中 (空気、酸素、オゾン、水蒸気、 NO 、 N_2O 等) で高温熱酸化することにより酸化系絶縁膜 (酸化シリコン膜、酸窒化シリコン膜など) 300 を形成し、この酸化系絶縁膜をゲ

10

20

30

40

50

ート絶縁膜又は保護膜として使用することもできる。

【0486】或いは、フラッシュランプアニールにより形成された、高歪点ガラス基板 1 上の光反射低減及び保護用絶縁膜付きの、錫等の IV 族元素の少なくとも 1 種を含有するか或いは含有しない多結晶性又は単結晶性半導体薄膜を、酸化性雰囲気中（空気、酸素、オゾン、水蒸気、NO、N₂O 等）で高温熱酸化することにより酸化系絶縁膜（酸化シリコン膜、酸化窒化シリコン膜など）300 を形成し、この酸化系絶縁膜をゲート絶縁膜又は保護膜として使用することもできる。

【0487】以上に述べた本発明の実施の形態は、本発明の技術的思想に基づいて種々変形が可能である。

【0488】例えば、上述した触媒 CVD、プラズマ CVD 等の気相成長法及びフラッシュランプアニールの繰り返し回数、フラッシュ照射時間、基板温度等の各条件は種々変更してよく、用いる基板等の材質も上述したものに限定されることはない。

【0489】また、本発明は、表示部等の内部回路や周辺駆動回路及び映像信号処理回路及びメモリー回路等の MOSTFT に好適なものであるが、それ以外にもダイオードなどの素子の能動領域や、抵抗、キャパシタンス（容量）、配線、インダクタンスなどの受動領域を本発明による多結晶性半導体薄膜又は単結晶性半導体薄膜で形成することも可能である。

【0490】

【発明の作用効果】本発明は上述したように、基体上に低級結晶性半導体薄膜を形成し、この低級結晶性半導体薄膜にフラッシュランプアニールを施して、熔融又は半熔融又は非熔融状態の加熱と冷却により前記低級結晶性半導体薄膜の結晶化を促進して、多結晶性又は単結晶性半導体薄膜を形成しているため、次の（1）～（10）に示す顕著な作用効果が得られる。

【0491】（1）任意の $\mu\text{sec} \sim \text{msec}$ の短時間での 1 回又は数回繰り返しのフラッシュ照射を行えるフラッシュランプアニールにより、高い照射エネルギーを低級結晶性シリコン等の低級結晶性半導体薄膜に与え、これを熔融又は半熔融又は非熔融状態の加熱と冷却、好ましくは徐冷することにより、大粒径の高キャリア移動度、高品質の多結晶性シリコン薄膜等の多結晶性又は単結晶性半導体薄膜が得られ、生産性が大幅に向上し、大幅なコストダウンが可能となる。

【0492】（2）フラッシュランプアニールは、任意の本数のランプとそのフラッシュ式放電機構を組み合わせることにより、例えば①1000mm×1000mm の大面積を一括して、1 回又は必要回数繰り返してフラッシュ照射する、②200mm×200mm 正形状に集光整形したフラッシュ照射光をガルバノメータスキャナで走査させ、必要に応じてオーバーラップスキニングでフラッシュ照射する、③200mm×200mm 正形状に集光整形したフラッシュ光照射位置を固定し、

基板をステップ&リピートで移動させて必要に応じてオーバーラップスキニングしてフラッシュ照射する、というように、基板又はフラッシュ照射光を任意の方向と速度で移動させて、加熱熔融及び冷却速度をコントロールし、任意の大面積の低級結晶性シリコン薄膜等を極めて短時間に多結晶化又は単結晶化できるので、極めて生産性が高く、大幅なコストダウンが実現する。

【0493】（3）フラッシュ照射光を任意の線状、長方形又は正形状又は円形状に集光整形して照射することにより、照射強度、つまり熔融効率及びスループット向上と結晶化の均一性向上によるキャリア移動度のバラツキ低減が図れる。

【0494】（4）フラッシュランプアニールにより結晶化させた多結晶性シリコン等の膜上に低級結晶性シリコン等の膜を積層し、再度このフラッシュランプアニールで結晶化する方法を繰り返すことにより、 μm 単位の厚みで大粒径での高キャリア移動度、高品質の多結晶性シリコン膜等を積層形成できる。これにより、MOSLSI のみならず、高性能、高品質のバイポーラLSI、CCD エリア/リニアセンサ、CMOS センサ、太陽電池等も形成できる。

【0495】（5）低級結晶性半導体薄膜の膜厚、ガラス等の基板の耐熱温度、希望の結晶粒径（キャリア移動度）等に応じて、フラッシュランプアニールの波長調整（封入ガス気体の変更、熱線低減フィルタ又は熱線遮断フィルタ採用、放電条件の変更など）、照射強度、照射時間等のコントロールが容易であるので、高キャリア移動度、高品質の多結晶性シリコン薄膜等が再現性良く高生産性で得られる。

【0496】（6）キセノンランプ、キセノン水銀ランプ、クリプトンランプ、クリプトン水銀ランプ、キセノンクリプトンランプ、キセノンクリプトン水銀ランプ、メタルハライドランプ等のフラッシュランプアニールのランプは、XeCl、KrF 等のエキシマレーザーアニール装置のエキシマレーザー発振器に比べてはるかに安価であり、長寿命でメンテナンスが簡単であるので、生産性向上とランニングコスト低減により大幅なコストダウンが可能である。

【0497】（7）主にフラッシュランプと放電回路で構成されるフラッシュランプアニール装置は、エキシマレーザーアニール装置に比べて簡単な構造の装置であるため、安価であり、コストダウンが可能である。

【0498】（8）XeCl、KrF 等のエキシマレーザーアニール処理は ns オーダーのパルス発振型レーザーを用いるので、その出力の安定性に課題があり、照射面のエネルギー分布のばらつき、得られた結晶化半導体膜のばらつき、TFT などの素子特性のばらつきが見られる。そこで、400℃程度の温度を付与しつつエキシマレーザーパルス例えば 5 回、30 回などの多数回照射する方法が採られているが、それでも、照射ばら

つきによる結晶化半導体膜及びTFT素子特性のばらつき、スループット低下での生産性低下によるコストアップがある。これに対してフラッシュランプアニールでは、上記(2)のように例えば1000mm×1000mmの大面积を $\mu\text{sec} \sim \text{msec}$ オーダーのパルスで一括フラッシュ照射できるので、照射面のエネルギー分布のばらつき、得られた結晶化半導体膜のばらつき、TFTごとの素子特性のばらつきが少なく、高いスループットでの高生産性によるコストダウンが可能である。

【0499】(9)特に、熱線低減フィルタ又は熱線遮断フィルタを用いた強い紫外線光のフラッシュランプアニールでは低温(200~400℃)で適用できるので、安価であって大型化が容易なアルミノけい酸ガラス、ほうけい酸ガラス等の低歪点ガラスや、ポリイミド等の耐熱性樹脂を採用でき、軽量化とコストダウンを図れる。

【0500】(10)トップゲート型のみならず、ボトムゲート型、デュアルゲート型及びバックゲート型MOSTFTでも、高いキャリア移動度の多結晶性半導体膜又は単結晶性半導体膜等が得られるために、この高性能の半導体膜を使用した高速、高電流密度の半導体装置、電気光学装置、更には高効率の太陽電池等の製造が可能となる。例えば、シリコン半導体装置、シリコン半導体集積回路装置、フィールドエミッションディスプレイ(FED)装置、シリコンゲルマニウム半導体装置、シリコンゲルマニウム半導体集積回路装置、炭化ケイ素半導体装置、炭化ケイ素集積回路装置、III-V及びII-VI族化合物半導体装置、III-V及びII-VI族化合物半導体集積回路装置、多結晶性又は単結晶性ダイヤモンド半導体装置、多結晶性又は単結晶性ダイヤモンド半導体集積回路装置、液晶表示装置、エレクトロルミネセンス(有機/無機)表示装置、発光ポリマー表示装置、発光ダイオード表示装置、光センサー装置、CCDエリア/リニアセンサ装置、CMOSセンサ装置、太陽電池装置等が製造可能である。

【図面の簡単な説明】

【図1】本発明の第1の実施の形態によるMOSTFTの製造プロセスを工程順に示す断面図である。

【図2】同、製造プロセスを工程順に示す断面図である。

【図3】同、製造プロセスを工程順に示す断面図である。

【図4】同、製造プロセスを工程順に示す断面図である。

【図5】同、製造に用いる触媒CVD用の装置の一状態での概略断面図である。

【図6】同、装置の他の状態での概略断面図である。

【図7】同、フラッシュランプアニール用の装置の概略断面図である。

【図8】同、フラッシュランプの分光特性を示すグラフ

である。

【図9】同、フラッシュランプアニール用の装置の一部分の概略断面図である。

【図10】同、フラッシュランプアニール用の装置を各種示す概略断面図、側面図又は平面図である。

【図11】同、フラッシュランプアニール用の装置の他例の概略断面図及び平面図である。

【図12】同、フラッシュランプを各種示す概略図である。

【図13】同、トリガー電極を設けたフラッシュランプを例示する正面図及び平面図である。

【図14】同、クラスタ方式のMOSTFTの製造装置の概略図である。

【図15】同、インライン方式のMOSTFTの製造装置の概略図である。

【図16】同、クラスタ方式のMOSTFTの製造装置の他例の概略図である。

【図17】同、フラッシュランプアニール用の装置の他例の概略断面図及び平面図である。

【図18】同、フラッシュランプアニールのフラッシュ照射の一形態を示す説明図とグラフである。

【図19】同、他の形態を示すグラフである。

【図20】同、フラッシュ照射時の放電電流波形を各種示すグラフである。

【図21】同、他の形態を示すグラフである。

【図22】同、更に他の形態を示すグラフである。

【図23】同、フラッシュランプの充放電回路の等価回路図である。

【図24】同、フラッシュランプアニール時の他の形態を示す概略断面図である。

【図25】同、サンプルAのSEM写真である。

【図26】同、サンプルBのSEM写真である。

【図27】同、サンプルCのSEM写真である。

【図28】同、サンプルAのラマンスペクトル図である。

【図29】同、サンプルBのラマンスペクトル図である。

【図30】同、サンプルCのラマンスペクトル図である。

【図31】同、フラッシュランプアニール用の装置の他例の概略断面図である。

【図32】同、フラッシュランプアニール用の装置の他例の概略断面図である。

【図33】同、フラッシュランプアニール用の装置の他例の概略断面図である。

【図34】本発明の第2の実施の形態によるLCDの製造プロセスを工程順に示す断面図である。

【図35】同、製造プロセスを工程順に示す断面図である。

【図36】同、製造プロセスを工程順に示す断面図であ

る。

【図 37】同、LCDの全体の概略レイアウトを示す斜視図である。

【図 38】同、LCDの等価回路図である。

【図 39】同、LCDの他の製造プロセスを工程順に示す断面図である。

【図 40】同、製造プロセスを工程順に示す断面図である。

【図 41】同、LCDのMOSTFTを各種示す断面図である。

【図 42】同、LCDの他の製造プロセスを工程順に示す断面図である。

【図 43】同、グラフォエピタキシャル成長を説明するための概略図である。

【図 44】同、各種段差形状を示す概略断面図である。

【図 45】同、LCDの他の製造プロセスを工程順に示す断面図である。

【図 46】本発明の第3の実施の形態による有機EL表示装置の要部の等価回路図(A)、同要部の拡大断面図(B)及び同画素周辺部の断面図(C)である。

【図 47】同、有機EL表示装置の製造プロセスを工程順に示す断面図である。

【図 48】同、他の有機EL表示装置の要部の等価回路図(A)、同要部の拡大断面図(B)及び同画素周辺部の断面図(C)である。

【図 49】同、有機EL表示装置の製造プロセスを工程順に示す断面図である。

【図 50】本発明の第4の実施の形態によるFEDの要部の等価回路図(A)、同要部の拡大断面図(B)及び同要部の概略平面図(C)である。

【図 51】同、FEDの製造プロセスを工程順に示す断面図である。

【図 52】同、製造プロセスを工程順に示す断面図である。

【図 53】同、他のFEDの要部の等価回路図(A)、同要部の拡大断面図(B)及び同要部の概略平面図(C)である。

【図 54】同、FEDの製造プロセスを工程順に示す断面図である。

【図 55】同、製造プロセスを工程順に示す断面図である。

【図 56】本発明の第5の実施の形態による太陽電池の製造プロセスを工程順に示す断面図である。

【図 57】本発明の他の実施の形態によるフラッシュランプアニール時の基板加熱シーケンスを示すダイアグラムである。

【図 58】同、低級結晶性半導体薄膜に下地膜等を形成した例の断面図である。

【図 59】同、低級結晶性半導体薄膜の単結晶化膜を用いたMOSTFTの平面図及び断面図である。

【符号の説明】

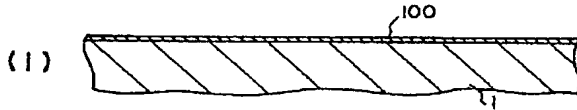
1、61、98、111、157…基板、7、67…多結晶性又は単結晶性シリコン薄膜、7A、67A…低級結晶性シリコン薄膜、14、67、117…チャンネル、15、75、102、105、115…ゲート電極、8、68、103、104、106、118…ゲート絶縁膜、20、21、80、81、120、121… n^+ 型ソース又はドレイン領域、24、25、84、85… p^+ 型ソース又はドレイン領域、27、28、86、92、130、136、137…絶縁膜、29、30、87、88、89、90、91、93、97、127、128、131…電極、40…原料ガス、42…シヤワーヘッド、44…成膜室、45…サセプタ、46…触媒体、47…シャッター、48…触媒体電源、94、96…配向膜、95…液晶、99…カラーフィルタ層、100…保護膜、100'、140…ブラックマスク層、132、133…有機発光層、134、135、144…陽極、138、141、142、171…陰極、150…ゲート電極(ゲートライン)、151…遮蔽膜、152…エミッタ、153… n 型多結晶性シリコン膜、155…バックメタル、156…蛍光体、158、168…微細凹凸、163… n 型多結晶性ダイヤモンド膜、180… i 型多結晶性シリコン膜、181… p 型多結晶性シリコン膜、182…透明電極、183…くし型電極、200、201…筐体、203…フラッシュランプ、204…反射板、205、206…赤外線吸収材、207…水冷パイプ、208…サセプタ、209…ヒーター、211…集光レンズ、212…ホモジナイザー、213…ガルバノメータスキャナ、214…電源、216、217…電極、218…トリガーワイヤ、219…平板型ガラス管、220…トリガー電極パターン、221…フラッシュ照射、223…段差、224…結晶性サファイア薄膜、230…スプリング、231…磁極、232…電磁石、233…電源、234…電極、235…絶縁膜、300…保護膜又はゲート絶縁膜、301…下地膜、302…バッファ膜

【図1】

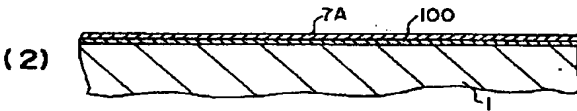
第1の実施の形態

<MOSTFTの製造プロセスフロー>

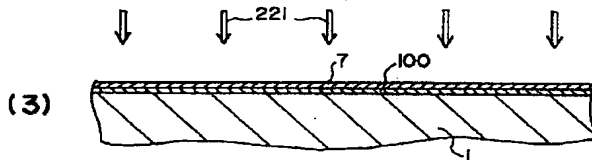
下地保護膜形成



低結晶性シリコン層形成と、保護膜反射低減用の酸化シリコン膜形成 (図示せず: 以下、同様)

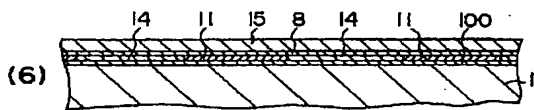


フラッシュランプアニールによる大粒径多結晶性シリコン層形成

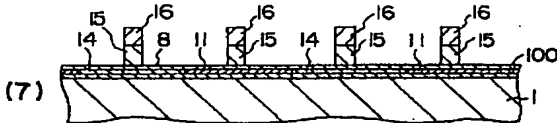


【図3】

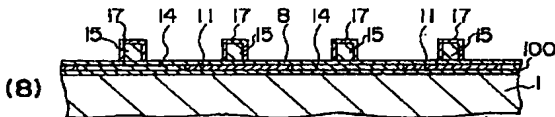
ゲート絶縁膜形成、ゲート電極用リフトオフ多結晶シリコン膜形成



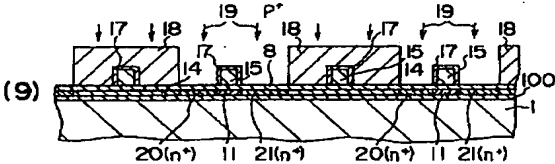
ゲート電極形成



ゲート電極表面に絶縁膜形成

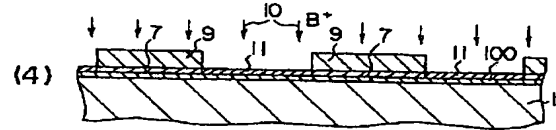


nMOSTFTのソース/ドレイン領域形成

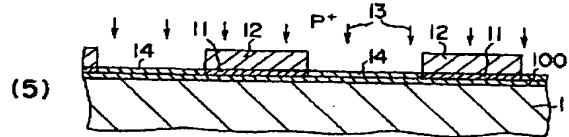


【図2】

保護膜反射低減用酸化シリコン膜除去、nMOSTFTのチャンネル領域の不純物濃度制御

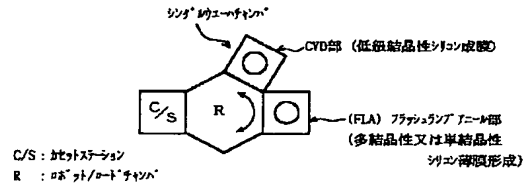


pMOSTFTのチャンネル領域の不純物濃度制御



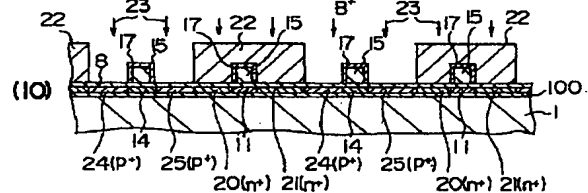
【図14】

<クラスタ方式>

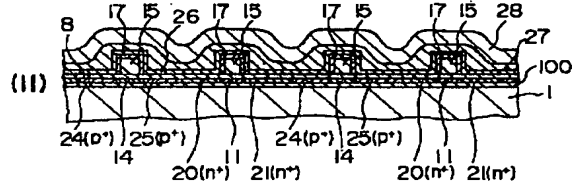


【図4】

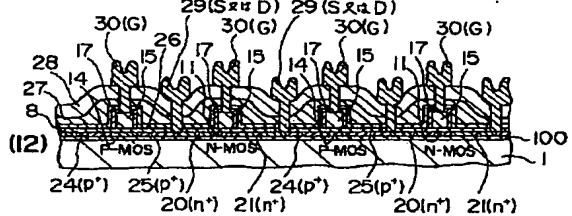
pMOSTFTのソース/ドレイン領域形成、イオン活性化アニール



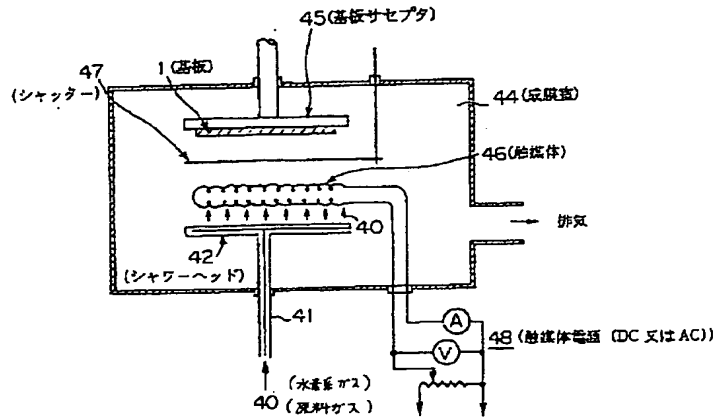
オーバーコート絶縁膜形成 (酸化シリコン膜/PSG膜/窒化シリコン膜の積層膜)



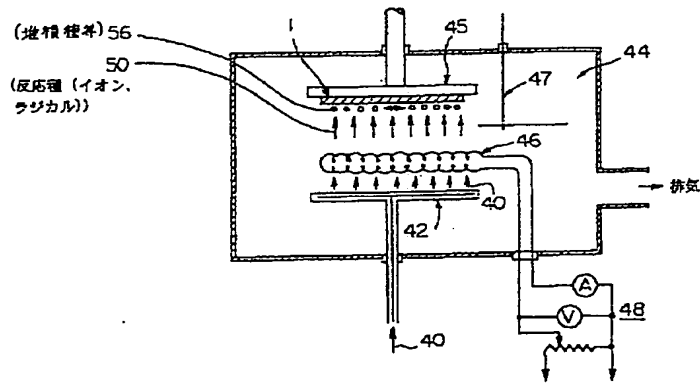
コンタクト窓開け、電極形成、素子化膜パターニング処理



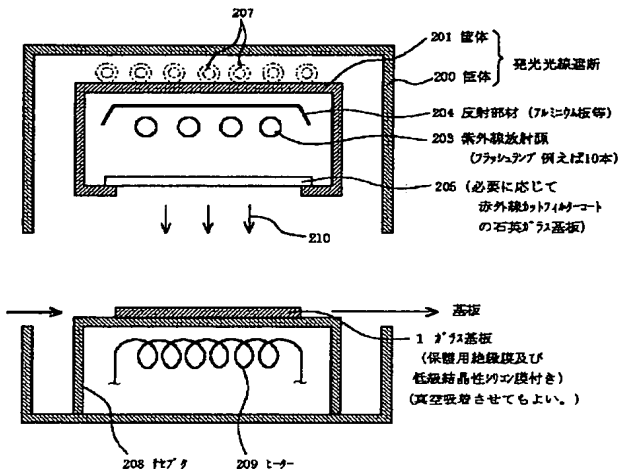
【図5】



【図6】

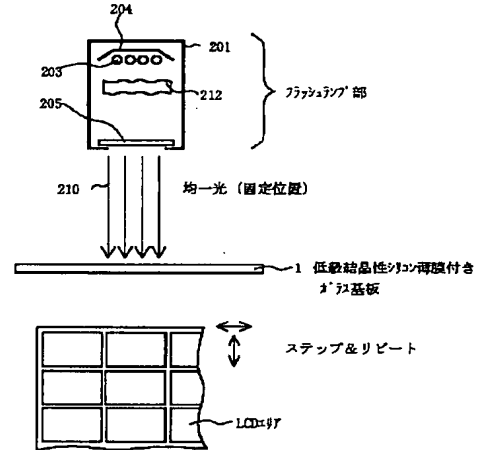


【図7】



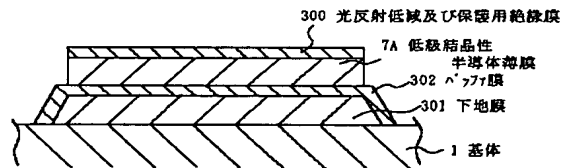
【図11】

(3) 基板をステップ&リピートしてフラッシュ照射する。

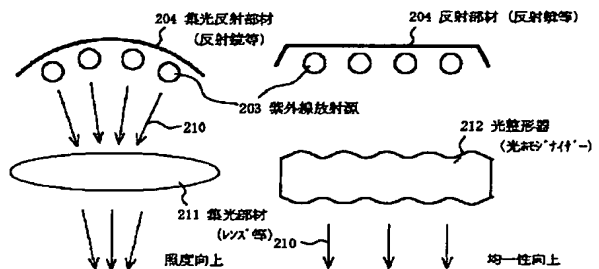


1つのLCDエリアに1回又は数回繰り返してフラッシュ照射し、基板を動かして次のLCDエリアに行く。

【図58】



【図9】

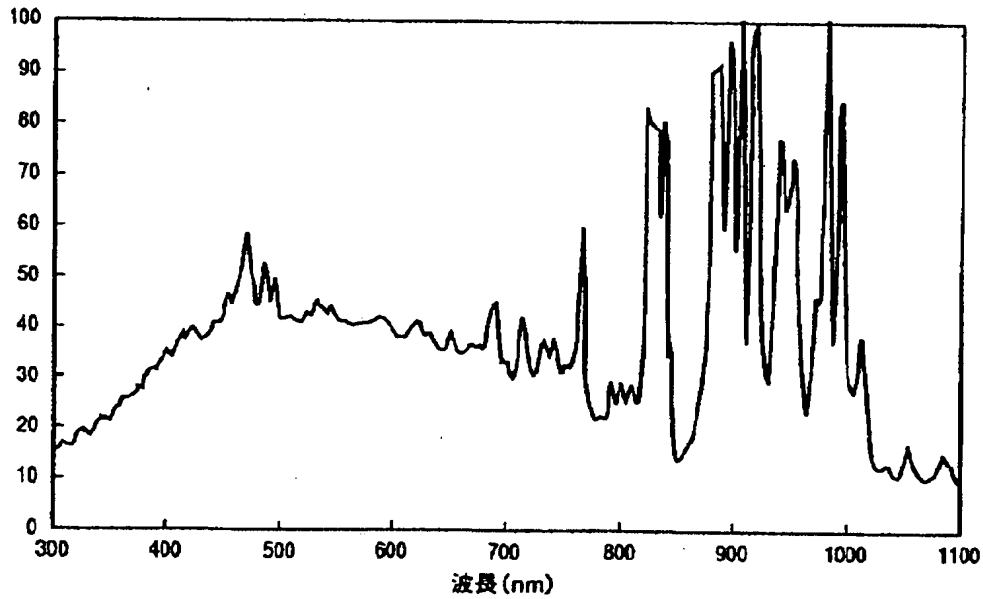


(A) 線状のフラッシュ照射の場合

(B) 大面積の正方形、長方形等のフラッシュ照射の場合

【図8】

キセノンフラッシュランプの発光スペクトルの例

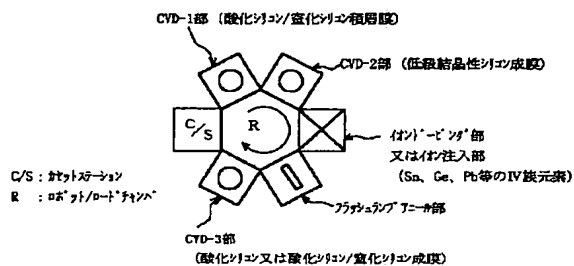


※ 波長400nm以下の紫外線波長領域のスペクトル強度を相対的に増大させるには、

- ① 同一形状のランプを使用する場合 ; コンデンサの充電電圧を高くして放電させる
- ② コンデンサの充電電圧が一定の場合 ; インダクタンスを小さくして放電させる

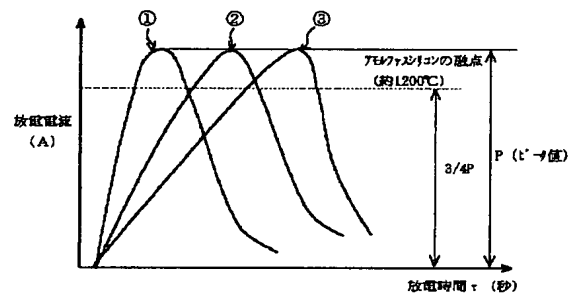
【図16】

<クラスタ方式>



【図20】

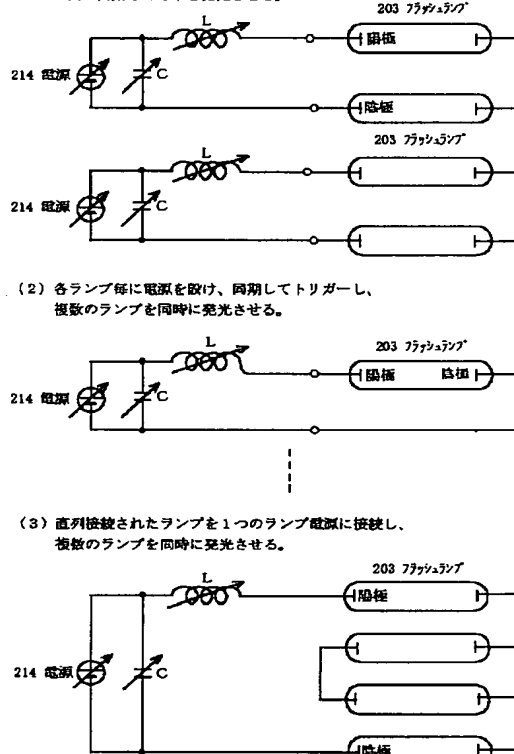
1回のフラッシュ照射時の放電電流の波形タイプ



【图 12】

＜電源回路の構成例＞

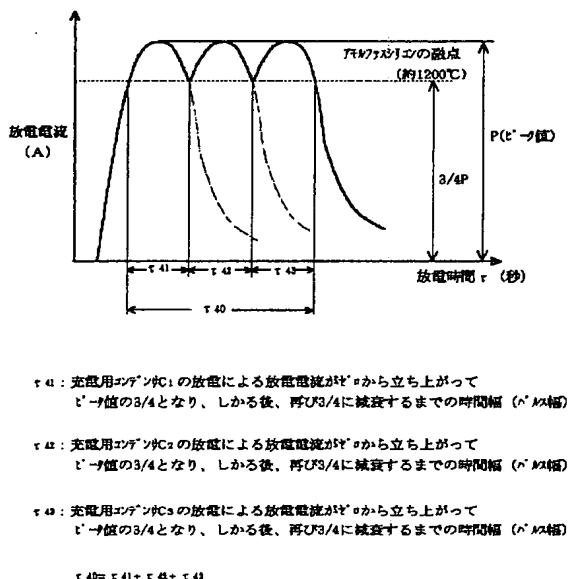
- (1) 直列接続された2本のランプをそれぞれの電源に接続し、並列に同期して4本を発光させる。



※ L、C、電源は任意に可変できる

【图 19】

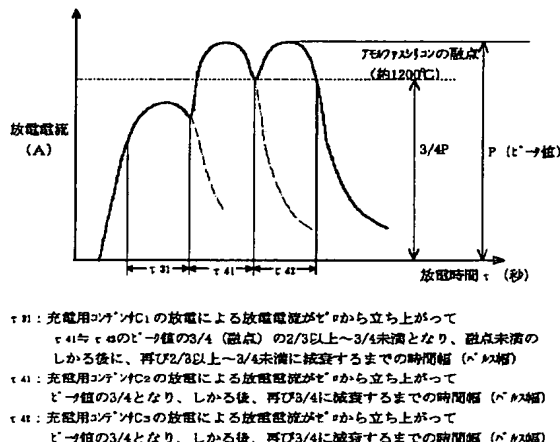
- (b) 同一領域を数回繰り返しフラッシュ照射する場合



【图 2 1】

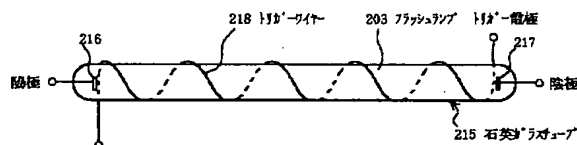
＜フラッシュ照射でプレヒートする場合＞

※ 多結晶化及び単結晶性化の均一性向上



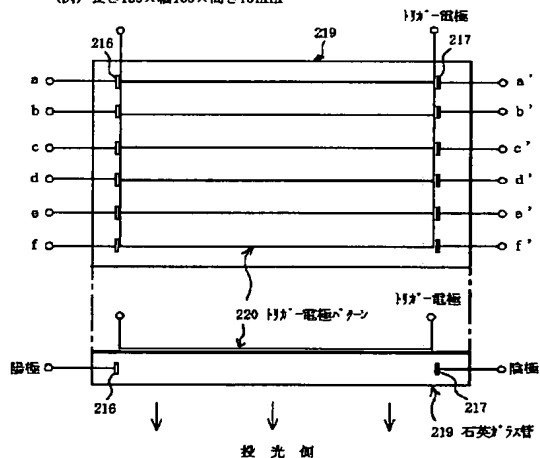
【図13】

(1) 直管型発光管

(例) $\phi 10 \times$ 長さ150mm

(2) 改良型の平行平板型発光管

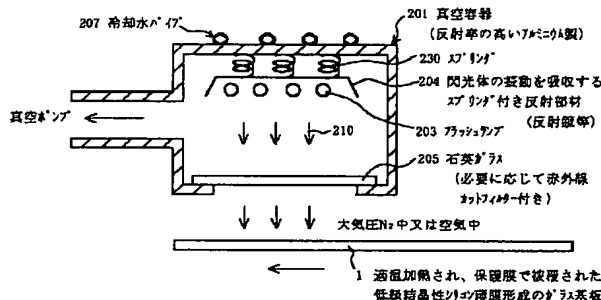
(例) 長さ150×幅100×高さ10mm



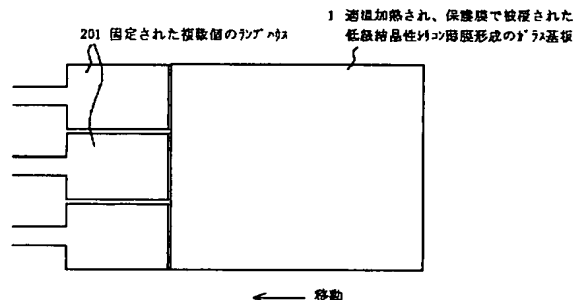
※ トリガー電極両端パターンの代りに、トリガーワイヤ等のトリガー電極組立体を設けてもよい

【図17】

(A)

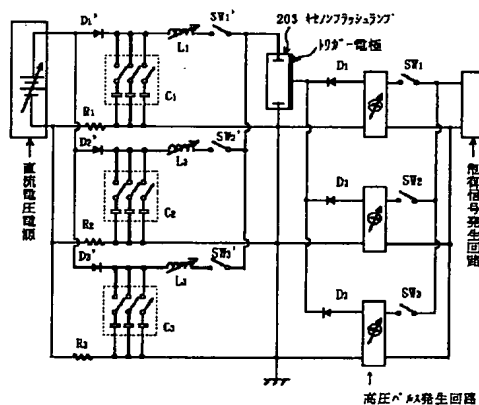


(B)



【図23】

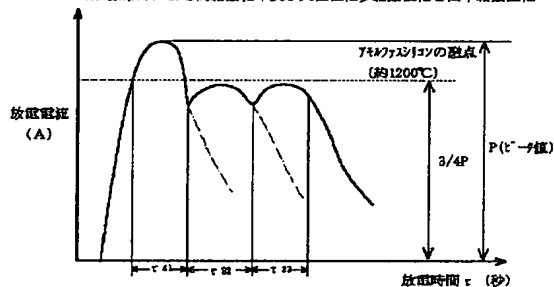
時間差を設けてスイッチング手段によりフラッシュ照射する回路構成



【図22】

<フラッシュ照射で徐冷却させる場合>

※ 徐冷却による高結晶化率及び大粒径化多結晶性化と高単結晶性化

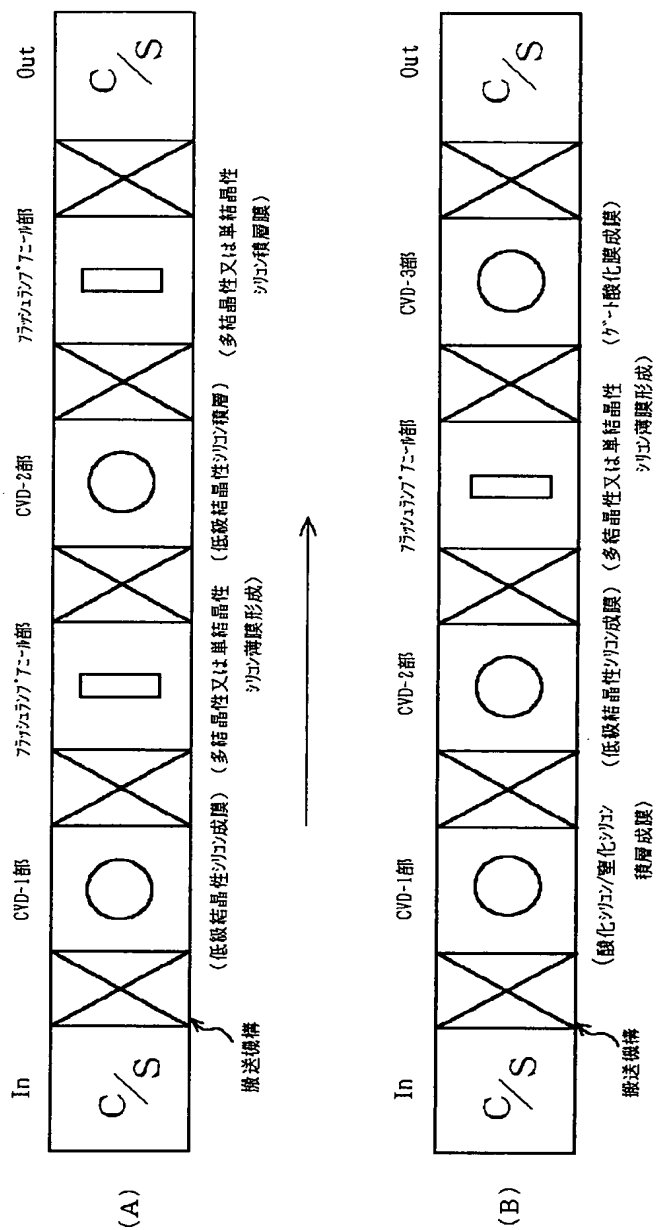


- τ_{41} : 充電用コンデンサ C_1 の放電による放電電圧が V_1 から立ち上って V_1 値の3/4（融点）となり、しかる後、再び3/4に減衰するまでの時間幅（ μ s幅）
 τ_{21} : 充電用コンデンサ C_2 の放電による放電電圧が V_2 から立ち上って τ_{41} の V_2 値の3/4（融点）の2/3以上〜3/4未満となり、3/4（融点）未満のしかる後に、再び2/3以上〜3/4未満までに減衰するまでの時間幅（ μ s幅）
 τ_{31} : 充電用コンデンサ C_3 の放電による放電電圧が V_3 から立ち上って τ_{41} の V_3 値の3/4（融点）の2/3以上〜3/4未満となり、3/4（融点）未満のしかる後に、再び2/3以上〜3/4未満までに減衰するまでの時間幅（ μ s幅）

- L_1, L_2, L_3 : 放電時の電流のピーク値を抑制するための空芯コイルのインダクタンス（ μ H）
 C_1, C_2, C_3 : スイッチの切り替えによってトータルの静電容量を差えられる充電用コンデンサ（ μ F）
 R_1, R_2, R_3 : 充電電圧抑制抵抗（ Ω ）
 D_1, D_2, D_3 : 放電時の電流が直流電圧電圧に流れ込まないようにする
 D_1, D_2, D_3 : 高圧 V_{MAX} 印加時に、電流が他の高圧 V_{MAX} 発生回路に流れ込まないようにする
 SW_1, SW_2, SW_3 : 高圧 V_{MAX} のON/OFFを制御するスイッチング手段
 SW_1', SW_2', SW_3' : SW_1, SW_2, SW_3 と連動した放電のON/OFFを制御するスイッチング手段

【図15】

<インライン方式>



【図18】

時間差を設けてスイッチング手段等によりフラッシュ照射する。

(a) 各1回のフラッシュ照射でステップ&リピート動作させる場合

例) 1m×1mガラス基板内の
照射面積を9分割

①	④	⑦
②	⑤	⑧
③	⑥	⑨

トリガースイッチ/放電スイッチ

SW₁/SW₁' ON→OFF

10秒後 ↓

SW₂/SW₂' ON→OFF

10秒後 ↓

SW₃/SW₃' ON→OFF

10秒後

照射領域

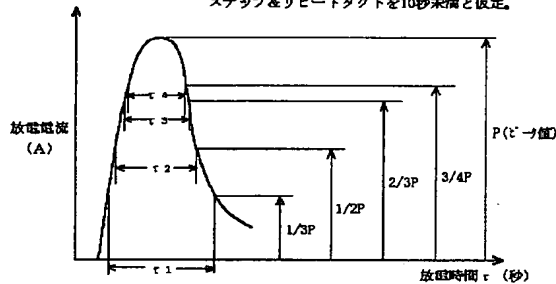
① ⑤ ⑦

② ⑤ ⑧

③ ④ ⑨

もどる

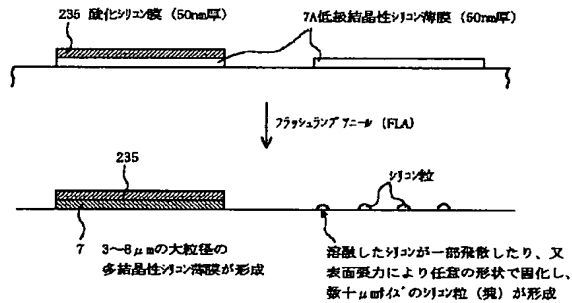
充電用コンデンサの充電時間を20秒と仮定し、
ステップ&リピートタクトを10秒未満と仮定。



$\tau_1 = 1/3P$ の時間幅 = 1/3時間幅 = 電流値が P から立ち上って $1/3P$ 値の $1/3$ となり、
しかる後、再び $1/3$ に減衰するまでの時間幅 例) 1.5μsec 以上～
 $\tau_2 = 1/2P$ の時間幅 = 1/2時間幅 = 電流値が P から立ち上って $1/2P$ 値の $1/2$ となり、
しかる後、再び $1/2$ に減衰するまでの時間幅 例) 1.0μsec 以上～
 $\tau_3 = 2/3P$ の時間幅 = 2/3時間幅 = 電流値が P から立ち上って $2/3P$ 値の $2/3$ となり、
しかる後、再び $2/3$ に減衰するまでの時間幅 例) 0.8μsec 以上～
 $\tau_4 = 3/4P$ の時間幅 = 3/4時間幅 = 電流値が P から立ち上って $3/4P$ 値の $3/4$ となり、
しかる後、再び $3/4$ に減衰するまでの時間幅 例) 0.5μsec 以上～
 $\tau_1 > \tau_2 > \tau_3 > \tau_4$

【図24】

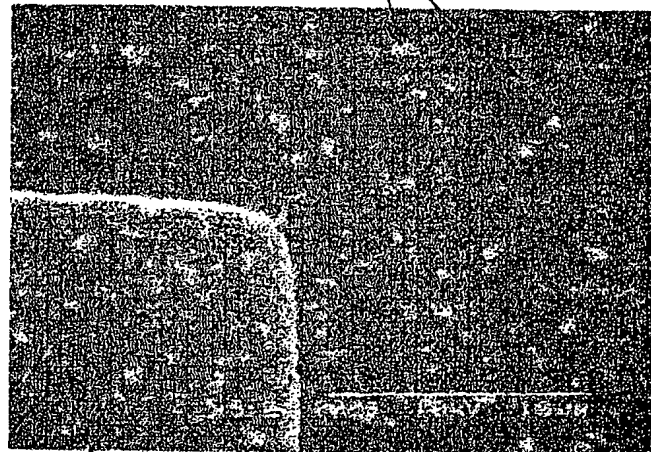
フラッシュランプアニール時に、低結晶性半導体薄膜上に絶縁膜を
形成してフラッシュ照射する (絶縁膜は、シリコン系半導体膜では、
酸化シリコン膜、窒化シリコン膜、酸化窒化シリコン膜、
酸化シリコン/窒化シリコン積層膜)。



【図25】

サンプルAのSEM写真

多結晶性シリコンを含む粒子

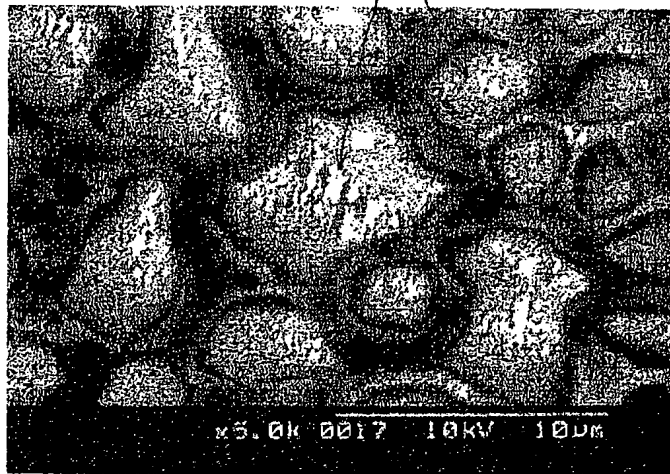


測定端子(Al電極)

【図26】

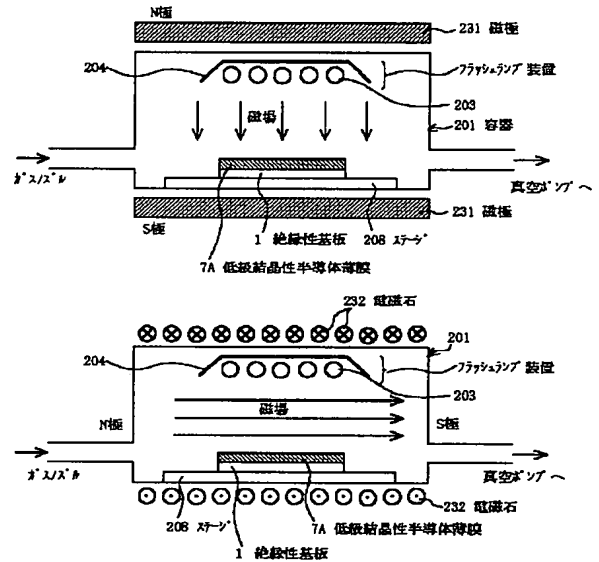
サンプルBのSEM写真

多結晶性シリコン粒



【図31】

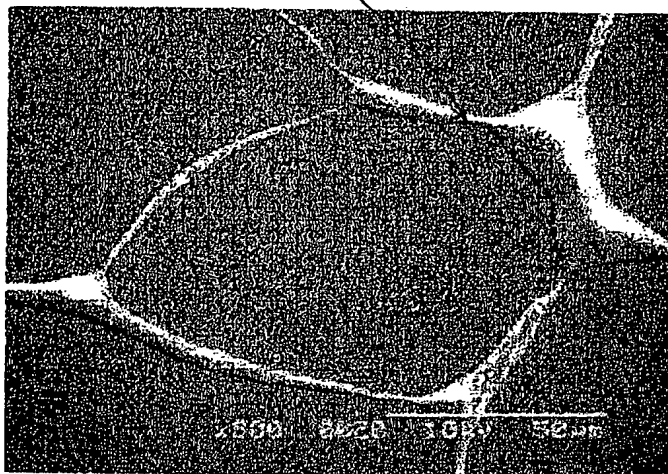
(1) 磁場印加



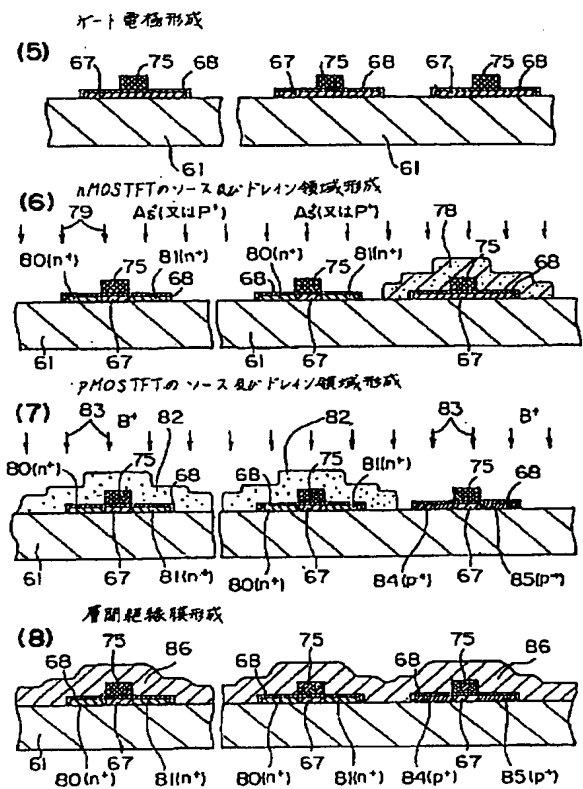
【図27】

サンプルCのSEM写真

単結晶に近いシリコン粒(塊)

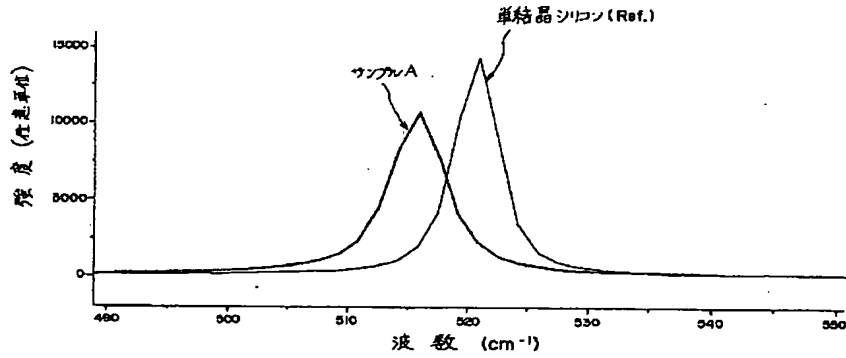


【図35】



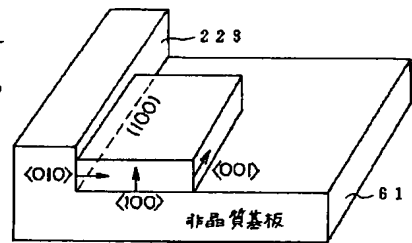
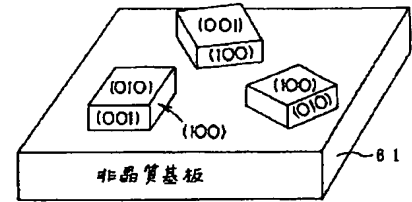
【図28】

サンプルAのラマンスペクトル



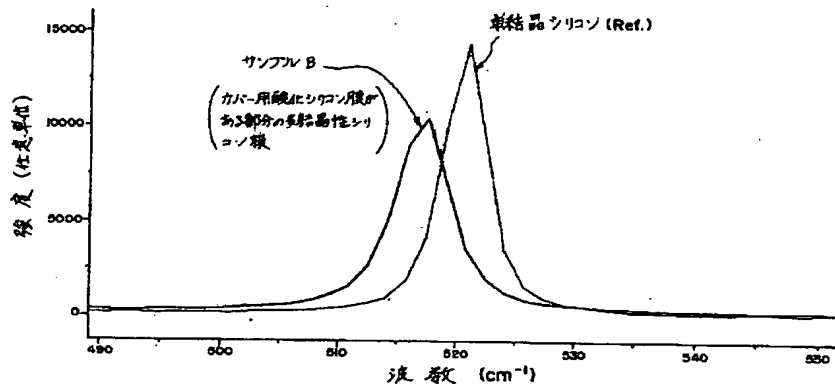
【図43】

非晶質基板上的結晶成長



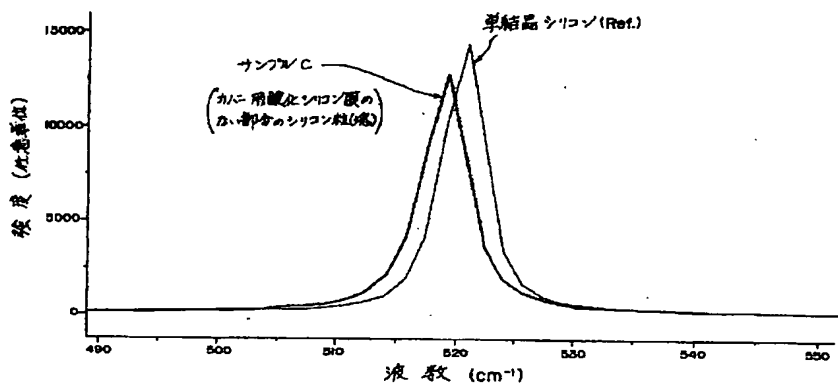
【図29】

サンプルBのラマンスペクトル
 (カーボン酸化したシリコン膜がある部分の多結晶性シリコン膜)



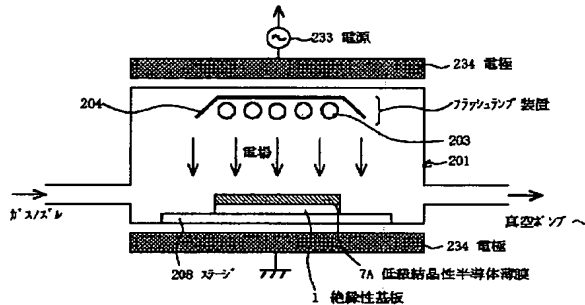
【図30】

サンプルCのラマンスペクトル
 (カーボン酸化したシリコン膜のない部分のシリコン粒(堆))



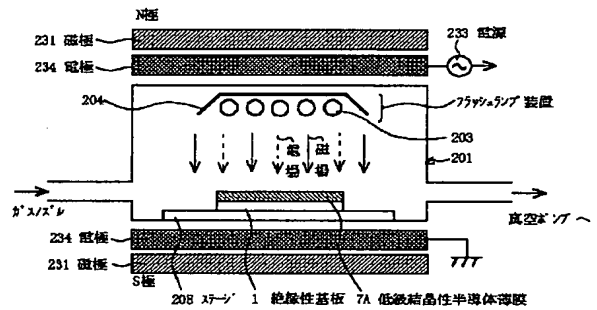
【図32】

(2) 電場印加



【図33】

(3) 磁場と電場印加



【図34】

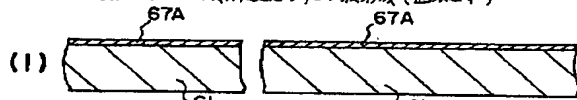
第2の実施の形態

〈LCDの製造プロセス70-1〉

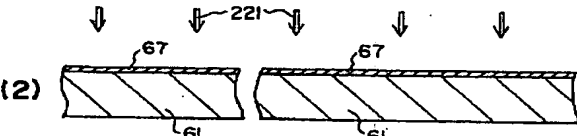
画素部

周辺回路部

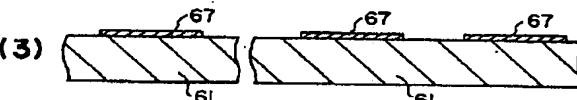
下地保護膜(図示せず)上に低結晶性シリコン薄膜形成、
保護膜及び反射低減用酸化シリコン膜形成(図示せず)



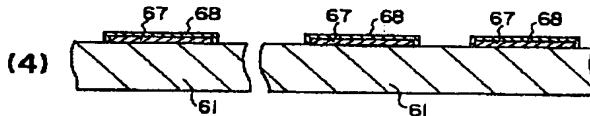
フラッシュランプアニールによる大粒径多結晶性シリコン膜形成



多結晶性シリコン薄膜パターニング

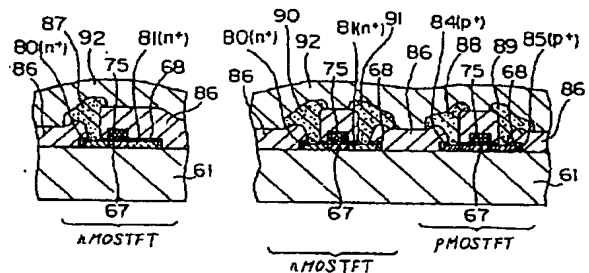


ゲート酸化膜形成

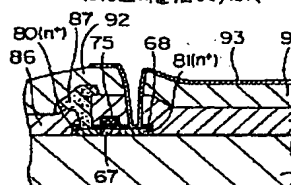


【図36】

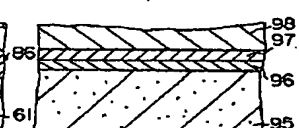
(9) 画素部のソース電極、周辺回路部のソース及びドレイン電極形成、
絶縁膜形成、水素化及びシンター処理



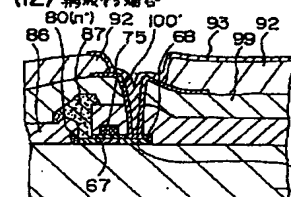
(10) 画素部の画素電極
(ITO透明電極など)形成



(11) 画素部の形成

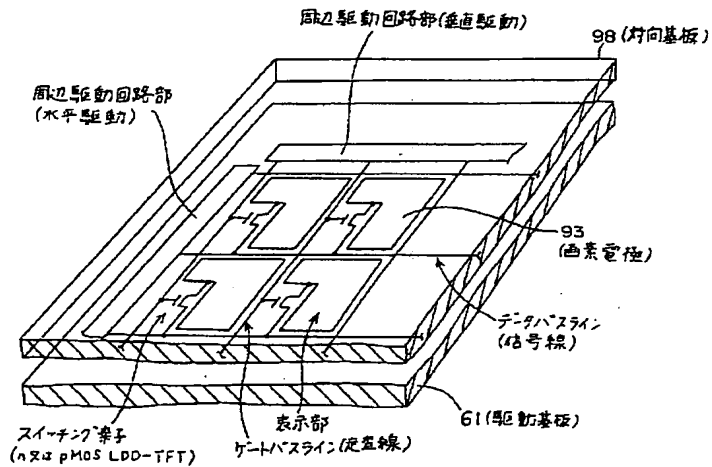


(12) カタストロフ層及びフラッシュ層を形成する場合



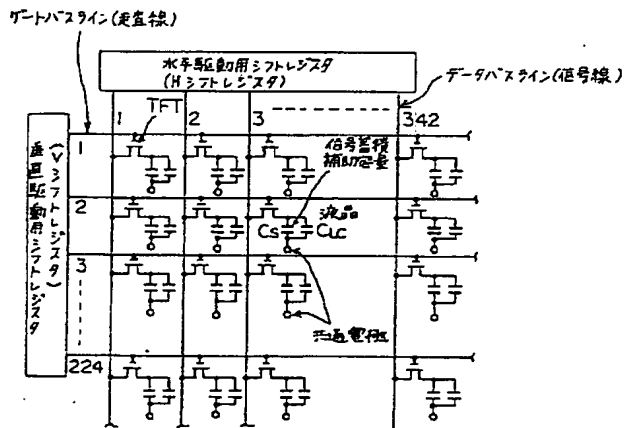
【図37】

3端子素子(TFT)によるアクティブマトリクス液晶ディスプレイの概略レイアウト



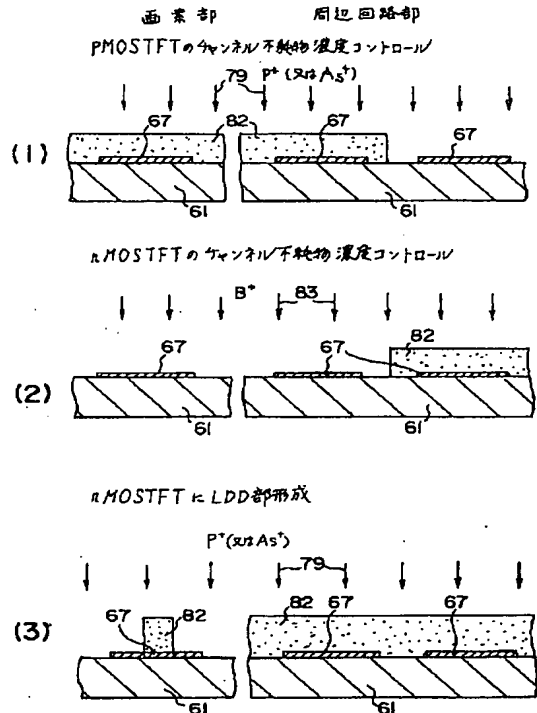
【図38】

3端子素子(TFT)によるアクティブマトリクス液晶ディスプレイの等価回路

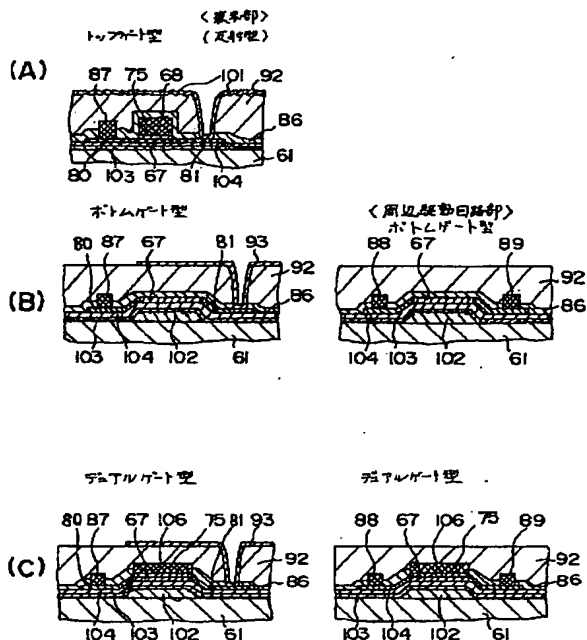


【図39】

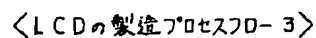
<LCDの製造プロセス-2>



【図41】

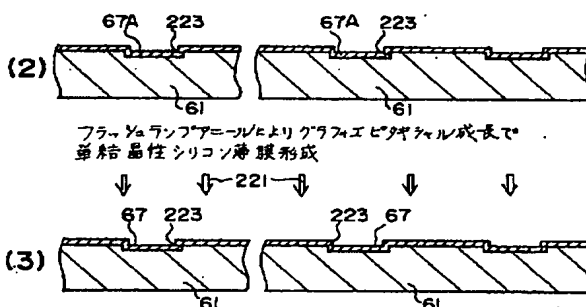


【図 4 2】



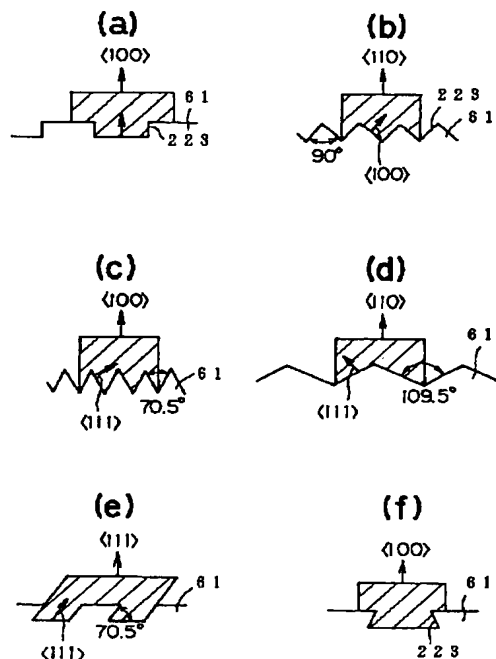
(1)

低圧結晶性シリコン薄膜形成



【图 4-4】

各種レリーフと成長結晶方位



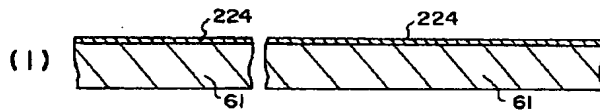
【図45】

<LCDの製造プロセスフロー>

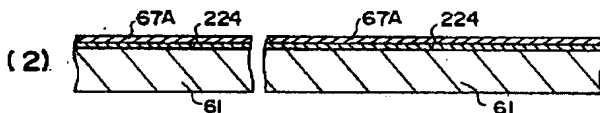
画素部

周辺回路部

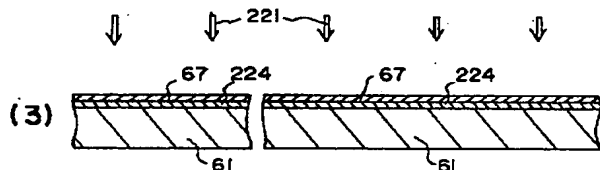
結晶性サファイア 厚膜形成



低級結晶性シリコン厚膜形成



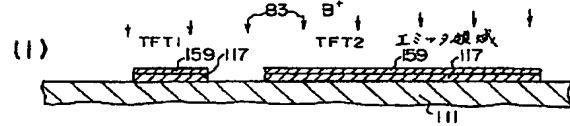
フラッシュランプアニールによりヘテロエピタキシャル成長で単結晶性シリコン厚膜形成



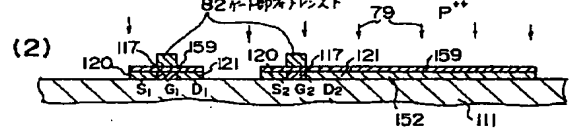
【図51】

<構造例I (多結晶性TFT+多結晶性FEC)の製造プロセス>

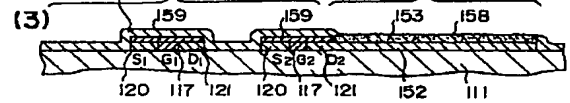
スイッチング用、電流駆動用TFT部、FECのエミッタ部形成



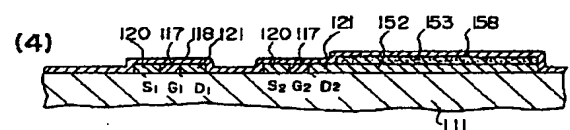
ソース、ドレイン、エミッタ領域にイオン注入



エミッタ領域に多結晶性シリコンをシードにn型多結晶性シリコン膜形成



p型シリコン膜除去、n型絶縁膜形成

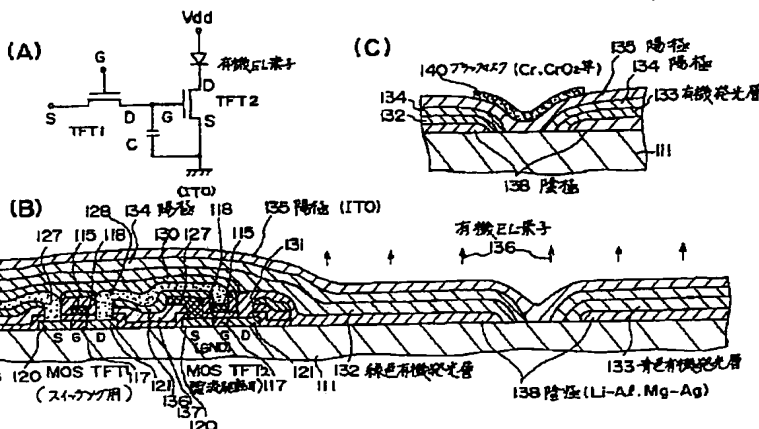


【図46】

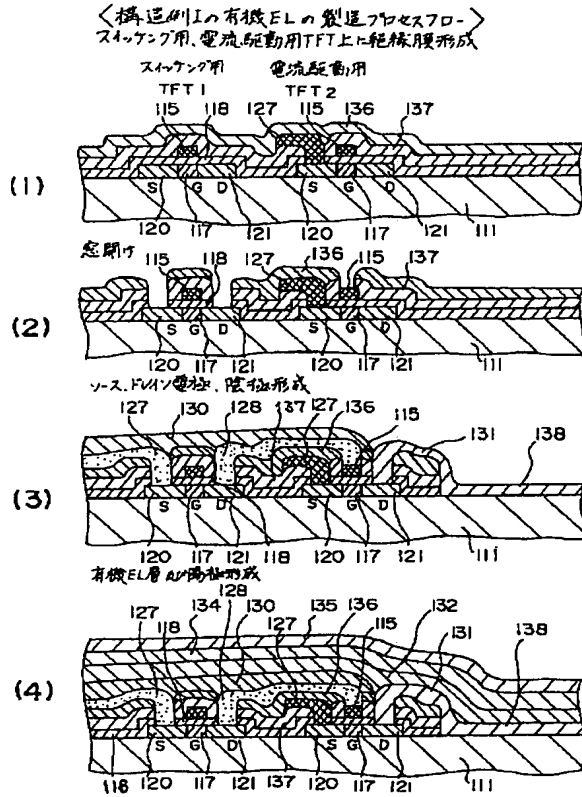
第3の実施の形態

<構造例I (有機EL素子がTFT2のドレインに接続されている)>

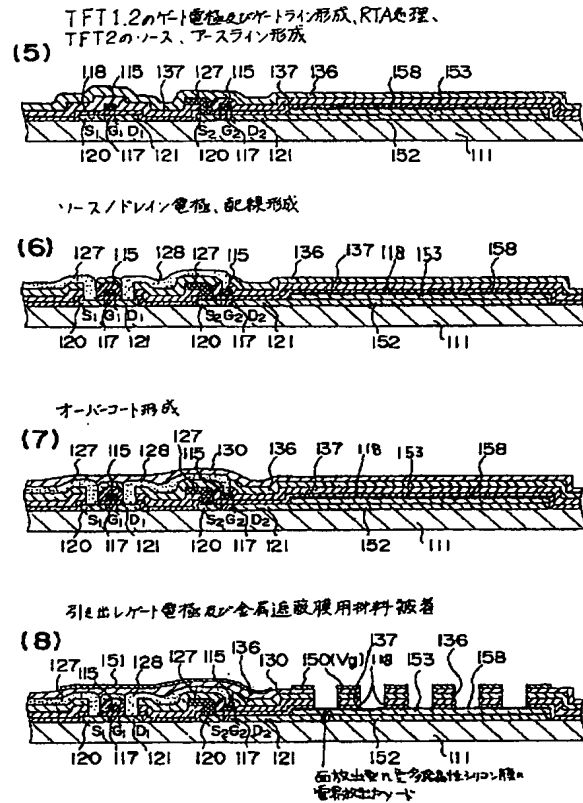
画素部周辺はプラズマ処理形成した場合



【図47】

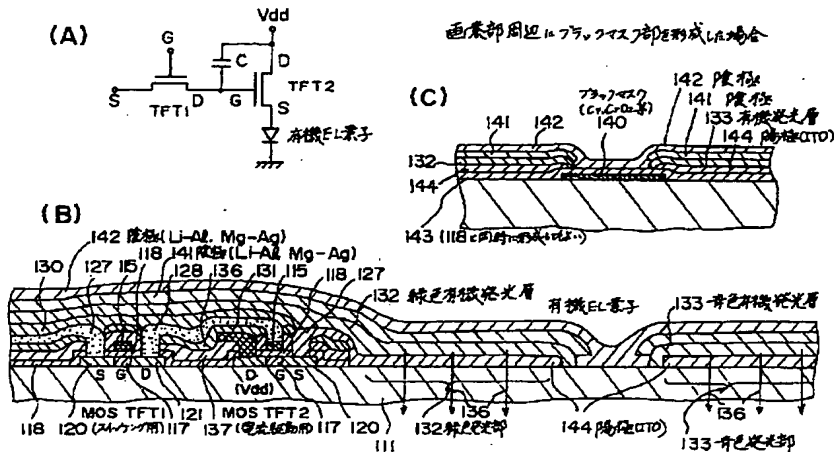


【図52】

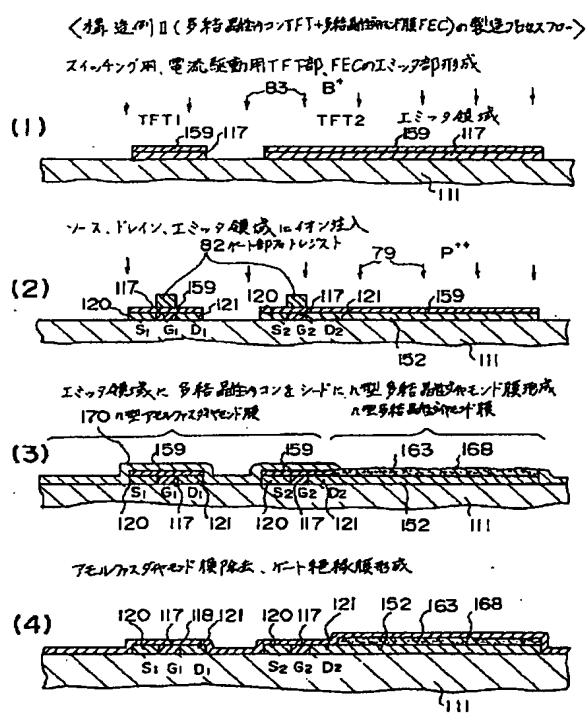


【図48】

〈構造例Ⅱ（有機EL素子とTFT2のソースに接続されている）〉



【図 5 4】



【图 50】

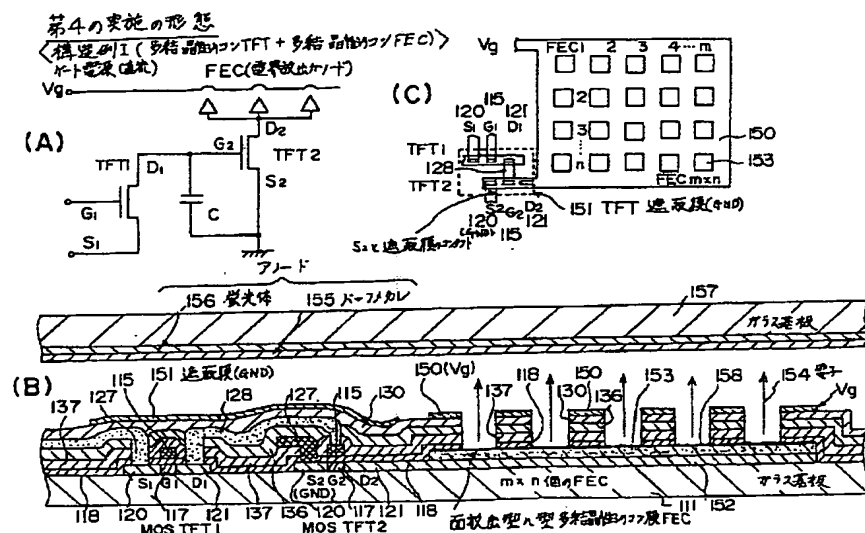


Figure 1 consists of three parts: (A) Equivalent circuit of a TFT element, (B) Cross-sectional view of the TFT array, and (C) Plan view of the multi-channel TFT array.

(A) Equivalent circuit of a TFT element. The circuit shows a gate voltage V_g applied to the gate of a TFT. The gate is connected to a gate capacitance C . The TFT is represented by a current source I and a drain current I_d . The gate is also connected to a gate capacitance C and a gate voltage V_g . The drain is connected to a drain current I_d and a drain voltage V_d . The source is connected to a source current I_s and a source voltage V_s . The gate is also connected to a gate capacitance C and a gate voltage V_g .

(B) Cross-sectional view of the TFT array. The diagram shows a cross-section of the TFT array. The gate is connected to a gate voltage V_g . The gate is also connected to a gate capacitance C and a gate voltage V_g . The drain is connected to a drain current I_d and a drain voltage V_d . The source is connected to a source current I_s and a source voltage V_s . The gate is also connected to a gate capacitance C and a gate voltage V_g .

(C) Plan view of the multi-channel TFT array. The diagram shows a grid of TFT elements. The gate is connected to a gate voltage V_g . The gate is also connected to a gate capacitance C and a gate voltage V_g . The drain is connected to a drain current I_d and a drain voltage V_d . The source is connected to a source current I_s and a source voltage V_s . The gate is also connected to a gate capacitance C and a gate voltage V_g .

(5) TFT1, 2 のゲート電極パターニング形成、RTA処理、
TFT2 のソース、アスライン形成

This diagram shows a cross-section of a TFT array substrate. It features a substrate with a base layer (111) and a buffer layer (152). On top of the buffer layer, there are two gate electrodes (120, 117, 121) and two source/drain regions (120, 117, 121). The gate electrodes are labeled 118, 115, 137, 127, 115, 137, 136, 168, and 163. The source/drain regions are labeled 118, 115, 137, 127, 115, 137, 136, 168, and 163. The regions are separated by a layer labeled Si_3N_4 and Si_2O_2 .

定開サ、配線形成

This diagram shows a cross-section of a TFT array substrate. It features a substrate with a base layer (111) and a buffer layer (152). On top of the buffer layer, there are two gate electrodes (120, 117, 121) and two source/drain regions (120, 117, 121). The gate electrodes are labeled 118, 115, 137, 127, 115, 137, 136, 168, and 163. The source/drain regions are labeled 118, 115, 137, 127, 115, 137, 136, 168, and 163. The regions are separated by a layer labeled Si_3N_4 and Si_2O_2 .

オーバーコート形成、アニール処理

This diagram shows a cross-section of a TFT array substrate. It features a substrate with a base layer (111) and a buffer layer (152). On top of the buffer layer, there are two gate electrodes (120, 117, 121) and two source/drain regions (120, 117, 121). The gate electrodes are labeled 118, 115, 137, 127, 115, 137, 136, 168, and 163. The source/drain regions are labeled 118, 115, 137, 127, 115, 137, 136, 168, and 163. The regions are separated by a layer labeled Si_3N_4 and Si_2O_2 .

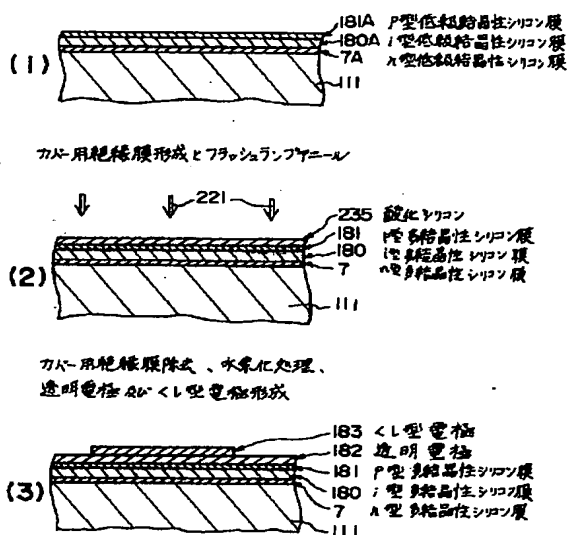
ゲート材料被着、FEC部遮断ウ

This diagram shows a cross-section of a TFT array substrate. It features a substrate with a base layer (111) and a buffer layer (152). On top of the buffer layer, there are two gate electrodes (120, 117, 121) and two source/drain regions (120, 117, 121). The gate electrodes are labeled 118, 115, 137, 127, 115, 137, 136, 168, and 163. The source/drain regions are labeled 118, 115, 137, 127, 115, 137, 136, 168, and 163. The regions are separated by a layer labeled Si_3N_4 and Si_2O_2 .

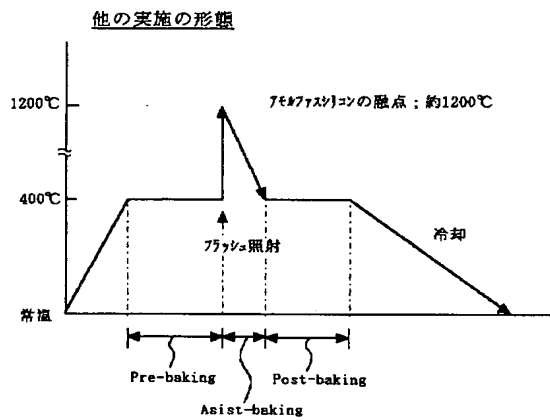
(6) 面状型n型薄膜トランジスタの電界放出カソード

This diagram shows a cross-section of a planar-type n-type thin film transistor. It features a substrate with a base layer (111) and a buffer layer (152). On top of the buffer layer, there are two gate electrodes (120, 117, 121) and two source/drain regions (120, 117, 121). The gate electrodes are labeled 118, 115, 137, 127, 115, 137, 136, 168, and 163. The source/drain regions are labeled 118, 115, 137, 127, 115, 137, 136, 168, and 163. The regions are separated by a layer labeled Si_3N_4 and Si_2O_2 .

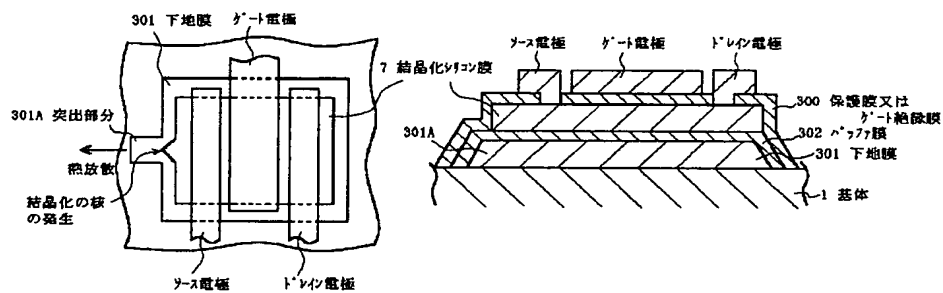
n-i-p型低抵抗晶性シリコン積層膜形成



【図57】



【図59】



フロントページの続き

(51) Int. Cl.⁷
H01L 31/04

識別記号

F I
H01L 21/26
31/04

テーマコード(参考)

T
X

F ターム(参考) 2H092 JA24 JA25 JA29 JA32 JA33
JA42 JA47 MA07 MA13 MA17
MA27 MA28 MA35 MA41
5F051 AA03 CA15 CB25 DA04 FA02
GA02 GA03
5F052 AA12 AA18 AA24 AA25 BA01
BA02 BA04 BA07 BA20 CA04
CA07 DA01 DA02 DA03 DA05
DA10 DB01 DB03 DB07 EA01
EA06 EA11 EA12 EA15 EA16
FA12 FA14 FA22 GC06 HA01
HA06 HA08 JA01 JA02 JA04
JA06 JA07 JA09
5F110 AA01 AA30 BB02 BB04 BB10
BB20 CC02 CC08 DD01 DD02
DD03 DD12 DD13 DD14 EE04
EE06 EE09 EE30 EE32 EE44
EE45 FF02 FF03 FF09 FF10
FF23 FF29 FF30 GG01 GG02
GG03 GG04 GG13 GG25 GG32
GG33 GG34 GG44 GG45 HJ01
HJ04 HJ12 HJ13 HJ23 HL03
HL05 HL06 HL07 HL23 HM15
NN03 NN23 NN24 NN25 NN34
NN35 NN72 PP02 PP11 PP31
PP35 PP36 PP38 QQ11 QQ23
QQ24